

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2001年7月5日 (05.07.2001)

PCT

(10) 国際公開番号  
WO 01/48923 A1

(51) 国際特許分類:  
H04L 25/02, G01R 31/00, 25/00, 29/26

H03K 3/84,

PCT/JP00/09139

(21) 国際出願番号:

(22) 国際出願日: 2000年12月22日 (22.12.2000)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願平 11/367209

1999年12月24日 (24.12.1999) JP

特願2000/6642 2000年1月14日 (14.01.2000) JP

特願2000/178183 2000年6月14日 (14.06.2000) JP

特願2000/336447 2000年11月2日 (02.11.2000) JP

(71) 出願人 (米国を除く全ての指定国について): アンリツ株式会社 (ANRITSU CORPORATION) [JP/JP]; 〒106-8570 東京都港区南麻布五丁目10番27号 Tokyo (JP).

(UCHINO, Masaharu) [JP/JP]; 〒243-0303 神奈川県愛甲郡愛川町中津3744 Kanagawa (JP). 石部和彦 (ISHIBE, Kazuhiko) [JP/JP]; 〒253-0104 神奈川県高座郡寒川町大蔵942-4 Kanagawa (JP). 青木 隆 (AOKI, Takashi) [JP/JP]; 〒243-0004 神奈川県厚木市水引2丁目7番12号 Kanagawa (JP). 望月 健 (MOCHIZUKI, Ken) [JP/JP]; 〒243-0032 神奈川県厚木市恩名1544-1 アンリツ沖原寮 Kanagawa (JP).

(74) 代理人: 鈴江武彦, 外(SUZUYE, Takehiko et al.); 〒100-0013 東京都千代田区霞が関3丁目7番2号 鈴業内 外国特許法律事務所内 Tokyo (JP).

(81) 指定国 (国内): US.

(84) 指定国 (広域): ヨーロッパ特許 (DE, GB).

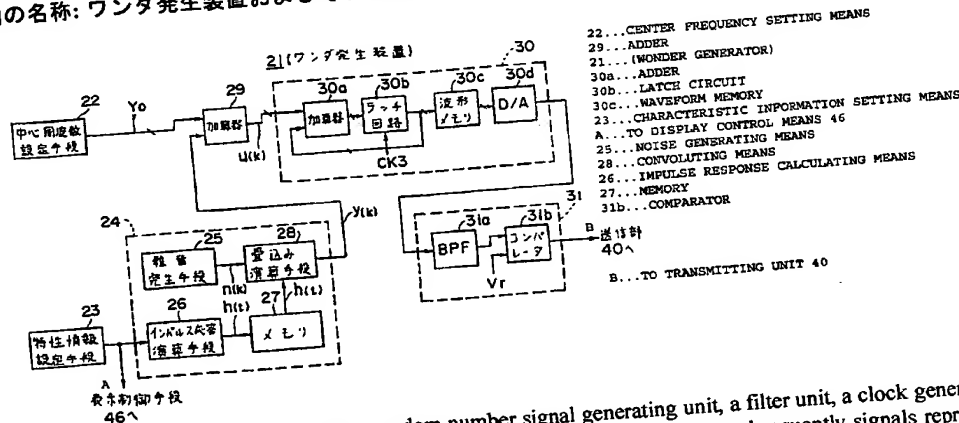
添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 内野政治

(54) Title: WONDER GENERATOR, DIGITAL LINE TESTER COMPRISING THE SAME, AND PHASE NOISE TRANSFER CHARACTERISTIC ANALYZER

(54) 発明の名称: ワンダ発生装置およびそれを用いるデジタル回線試験装置ならびに位相雑音伝達特性解析装置



(57) Abstract: A wonder generator includes a random number signal generating unit, a filter unit, a clock generating unit, a modulating unit, and a setting unit. The random number signal generating unit generates subsequently signals representing a random number composed of bits at a specific rate according to a predetermined algorithm. The filter unit receives and filters the generated train of signals representing the random number. The clock generating unit generates a clock signal. The modulating unit modulates the frequency of the generated clock signal with the signal outputted from the filter unit. The setting unit delivers a signal for setting the amplitude value of the spectrum of the signal train outputted from the filter unit to the filter unit so that the wonder characteristic of the clock signal the frequency of which is modulated by the modulating unit may be a desired one.

[続葉有]

WO 01/48923 A1



---

(57) 要約:

ワンダ発生装置は、乱数信号発生部と、フィルタ部と、クロック発生部と、変調部と、設定部とを有する。前記乱数信号発生部は、所定のアルゴリズムにより、複数ビットで構成される乱数の信号を一定速度で順次発生する。前記フィルタ部は、前記乱数信号発生部が発生する乱数の信号列を受けてフィルタリング処理を行う。前記クロック発生部は、クロック信号を発生する。前記変調部は、前記クロック発生部が発生するクロック信号の周波数を前記フィルタ部から出力される信号によって変調する。前記設定部は、前記変調部によって周波数が変調されたクロック信号のワンダの特性が所望特性となるように、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号を前記フィルタ部に与える。

## 明 細 書

ワンド発生装置およびそれを用いるデジタル  
回線試験装置ならびに位相雑音伝達特性解析装置

## 技術分野

本発明はワンド発生装置およびそれを用いるデジタル回線試験装置ならびに位相雑音伝達特性解析装置に係り、特に、ワンドを有するクロック信号を発生するワンド発生装置およびそれを用いるデジタル回線試験装置ならびに位相雑音伝達特性解析装置に関する。

このうち、位相雑音伝達特性解析装置は、特に、クロック信号またはデジタル信号を伝送する機器等の位相雑音を有する信号に対する伝達特性を解析するための位相雑音伝達特性解析装置において、短い測定時間で解析対象の位相雑音伝達特性を正しく評価できようにするための技術を採用した位相雑音伝達特性解析装置に関する。

## 背景技術

周知のように、デジタル回線に伝送されるデジタル信号は、伝送路上の雑音等の影響を受けて位相が揺らぐ。

この位相の揺らぎのうち、一般に、その揺らぎの周波数が  $10\text{ Hz}$  より高い成分をジッタ、 $10\text{ Hz}$  より低い成分をワ

ンダと呼ばれている。

このような位相揺らぎが大きくなると、回線がそのデジタル信号を正しく伝達できなくなり、符号の誤りが大きくなる。

したがって、デジタル回線の評価を行う場合、ジッタやワンダについての測定が必要となる。

このうち、ワンダに関する一つの評価方法として、タイムデビエーション（以下TDEVと記す）が知られている。

このTDEVの測定は、ワンダのあるデジタル信号のクロック信号成分と、基準のクロック信号との位相差TIE(Time Interval Error)を、その初期位相差に対する変化量として順次求め、このTIEデータをもとにして、次式の演算を行う。

$$TDEV(\tau) = \{ (1/6n^2) (1/m) \cdot \sum_{j=1}^m \left[ \sum_{i=j}^{n+j-1} (\chi_i + 2\chi_n - 2\chi_{i-n} + \chi_i) \right]^2 \}^{1/2}$$

ただし、 $m = N - 3n + 1$ 、 $\chi_i$  はTIEサンプルデータ、 $N$ は全サンプル数、 $\tau$ は積分時間(Integration Time) ( $\tau = n \cdot \tau_0$ )、 $n$ はサンプリング数( $n = 1, 2, \dots, N/3$ )、 $\tau_0$ はサンプリング周期、記号 $\sum_{j=1}^m$ は

$j = 1 \sim m$ までの総和、記号 $\sum_{i=j}^{n+j-1}$ は $i = j \sim n + j - 1$ までの総和を示す。



TDEV ( $\tau$ ) は、最大積分時間の 12 倍の測定時間の全 TIE データをもとに求められる。

例えば、サンプリング周期  $\tau_0$  が 1/80 秒 (12.5 ミリ秒) のときに、 $\tau = 1000$  秒の TDEV (1000) を求める場合、12000 秒 (80 サンプル/秒  $\times$  1000 秒  $\times$  12 = 960000 サンプル) 分の測定データを使って上式を計算する。

この TDEV を用いてディジタル回線を評価する場合、一つには、位相揺らぎのないディジタル信号を試験対象の回線の一端に入力して他端側で TDEV の測定を行う方法が知られている。

また、他の一つには、ワンダを有するクロック信号に同期したディジタル信号を試験対象の回線に入力するとともに、そのワンダの大きさや周波数を変えながら、他端側でディジタル信号の誤り率を測定し、ワンダの大きさや周波数に対する回線の耐力を調べる方法等が知られている。

後者の方法のように、ワンダのあるディジタル信号を用いて試験対象の回線の評価を行うために、10 Hz 以下の位相揺らぎをもつクロック信号を発生するワンダ発生装置が用いられる。

図 50 は、従来のワンダ発生装置 10 の構成を示すブロック図である。

このワンダ発生装置 10 では、変調信号発生器 11 から出力される 10 Hz より低い位相変調用の変調信号と、基準電圧発生器 12 から出力される基準電圧とを加算器 13 によっ

て加算している。

そして、このワンダ発生装置 10 では、その加算器 13 の出力を VCO (電圧制御発振器) 14 に入力することにより、基準電圧に対応した中心周波数を有し、前記変調信号によって位相変調されたクロック信号 CK を発生している。

このワンダ発生装置 10 では、変調信号発生器 11 から出力される変調信号の周波数や振幅を可変することによって、クロック信号 CK のワンダの周波数や大きさを可変することができる。

ところで、近年では、TDEV マスク (Mask) と呼ばれ ANSI (American National Standards Institute) 等によって規定された TDEV 特性を満足するワンダを有するデジタル信号を用いてデジタル回線の評価を行う方法が提案されている。

この TDEV マスクには、図 51A に示すように、ある積分時間  $\tau_1$  までは一定で、積分時間  $\tau_1$  を超える範囲では  $\tau^{1/2}$  に比例して増加する特性 M1 (ANSI T1.101-1994 の Section 7.22 や、105-03-1994 の Section D.2.2.1 等) がある。

また、この TDEV マスクには、図 51B に示すように、ある積分時間  $\tau_1$  までは一定で、積分時間  $\tau_1$  から  $\tau_2$  までの範囲では  $\tau_1$  に比例して増加し、積分時間  $\tau_2$  を超える範囲では、 $\tau^{1/2}$  に比例して増加する特性 M2 (ANSI T

1. 101-1994のSection 7. 3. 2や、105-03-1994のSection D. 2. 1、同Section D. 2. 2. 2) 等がある。

しかしながら、前記したような従来のワンダ発生装置10では、単一信号の位相変調しかできないので、上記のように積分時間範囲毎に変化するようなTDEV特性を満足するクロック信号を発生させることは困難である。

このため、この種の分野では、任意のTDEVマスク特性を満足する所望特性のワンダを有するクロック信号を発生できるワンダ発生装置およびこのワンダ発生装置を用いるデジタル回線試験装置の実現が望まれている。

ところで、前述したように、クロックおよびデータを伝送する伝送システムでは、伝送される信号の位相雑音（位相揺らぎ）が大きくなると、データを正しく再生することができなくなる。

このため、この種の伝送システムに使用される機器を製造したり、メンテナンスを行う場合、位相雑音をもつ信号に対する伝達特性を調べる必要がある。

なお、前述したように、この位相雑音のうち、その揺らぎの周波数が10Hz以上の成分をジッタ、10Hz以下の成分をワンダと呼ばれている。

しかるに、ここでは、ジッタとワンダの両者を含めて位相雑音と言うものとする。

また、ここで、位相雑音とは、周波数および振幅が一定である単一の正弦波信号等の周期関数信号ではなく、広帯域に

わたる周波数特性をもつ雑音信号であるとする。

位相雑音の特性は、一般に、

(a) TDEV (Time DEVIation)

(b) TIErms (Root Mean Square  
Time Interval Error)

(c) MADEV (Modified Allan DE  
VIation)

(d) ADEV (Allan DEVIation)

等で表される。

近年では、これらの特性に対して規格化が進んでいる。

したがって、機器の位相雑音伝達特性の評価を行う場合には、これらの規格特性に準じた特性のジッタやワンダを有する試験信号を用いる必要がある。

すなわち、所定特性のジッタやワンダを有する試験信号をの解析対象機器に入力し、その出力の位相雑音特性を測定することによって得られた位相雑音特性が規格特性に対してどのように変化したかを調べる必要がある。

このような位相雑音伝達特性を解析するために、従来では、図52に示すような位相雑音伝達特性解析装置100が用いられている。

この位相雑音伝達特性解析装置100は、前記した規格化された特性を含む任意の位相雑音特性を指定するための特性指定手段111と、指定された位相雑音特性を有する試験信号を生成するために必要なパラメータを算出するパラメータ算出手段112と、算出されたパラメータに対応する位相雑

音特性を有する試験信号を生成して出力端子100aから出力する試験信号生成手段113と、前記出力端子100aから出力される試験信号を受けた解析対象機器1の出力信号を入力端子100bを介して受け、その位相雑音特性を測定する位相雑音特性測定手段114と、前記特性指定手段111によって指定された位相雑音特性と、前記位相雑音特性測定手段114によって測定された位相雑音特性とを対比可能に表示する表示手段115とによって構成されている。

つぎに、この位相雑音伝達特性解析装置100を用いて、ワンドのTDEVについての伝達特性を解析する場合について説明する。

例えば、図53に示すように、積分時間 $\tau_1$ と $\tau_2$ を境界にして傾きが変化するTDEVの特性Rが特性指定手段111によって指定されると、パラメータ設定手段12によってこの特性Rに対応するパラメータが算出されて試験信号生成手段113に設定される。

そして、この試験信号生成手段113が、このパラメータによって決まる位相雑音特性の試験信号 $S_t$ を生成して、出力端子100aを介して解析対象機器1に出力する。

この試験信号 $S_t$ を受けた解析対象機器1の出力信号 $S_r$ が、入力端子100bを介して位相雑音特性測定手段114に入力されることにより、その信号 $S_r$ のTDEVの特性Mが測定される。

そして、特性指定手段111によって指定された特性Rと位相雑音特性測定手段114によって測定された特性Mとが、

図 5 4 に示すように、表示手段 1 1 5 に表示される。

したがって、この表示手段 1 1 5 に表示された 2 つの特性を対比することにより、解析対象機器 1 のワンダ伝達特性の評価を行うことができる。

しかしながら、この場合、実際には、解析対象機器 1 に入力される試験信号  $S_t$  の位相雑音特性を、特性指定手段 1 1 1 によって指定した特性  $R$  に、完全に、一致させることができない。

すなわち、図 5 3 に示しているように、位相雑音を評価するとき一般的に用いられる特性  $R$  は、傾きが不連続に変化する折れ線で示される理論特性である。

しかるに、このような理論特性を実際の電子回路で実現することは極めて困難である。

このため、試験信号生成手段 1 1 1 から実際に出力される試験信号  $S_t$  は、図 5 3 の  $R'$  のように特性  $R$  の傾き変化部分が曲線で近似された特性になっている。

したがって、表示手段 1 5 に表示される特性を対比する場合には、この近似による特性の誤差をオペレータ自身が考慮して解析しなければならないので、正確な対比を行うことは極めて困難である。

これを解決するために、図 5 2 に破線で示しているように、予め出力端子 1 0 0 a と入力端子 1 0 0 b の間を直結して試験信号  $S_t$  の位相雑音特性を位相雑音特性測定手段 1 1 4 によって測定しておく。

そして、この試験信号  $S_t$  の位相雑音特性と特性指定手段

1 1 2 で指定した特性との近似誤差を求めておき、解析対象機器 1 を測定したときに得られた位相雑音特性を近似誤差で補正することが考えられる。

しかしながら、このように試験信号の位相雑音特性を求めてから解析対象機器 1 の位相雑音特性を求める方法では、測定時間が 2 倍になってしまうので、特に、長い測定時間が必要なワンドについての伝達特性を解析する場合には、測定結果がでるまでの待ち時間が非常に長くなってしまう。

#### 発明の開示

本発明の目的は、所望特性のワンドを有するクロック信号を容易に且つ精度良く発生させることができるワンド発生装置およびこのワンド発生装置を用いるデジタル回線試験装置を提供することにある。

本発明の別の目的は、例えば、所望特性のワンドを有するクロック信号を容易に且つ精度良く発生させることができるワンド発生装置を用いて、短い測定時間で、指定した特性に対して正しい評価ができる位相雑音伝達特性解析装置を提供することにある。

前記目的を達成するために、本発明によると、

(1) 所定のアルゴリズムにしたがって、複数ビットで構成される乱数の信号を一定速度で順次発生する乱数信号発生手段 (2 5、1 2 1) と、

前記乱数信号発生手段が発生する乱数の信号列を受けてフ

フィルタリング処理を行うフィルタ部（２８、１２５）と、  
クロック信号を発生するクロック発生手段（３０、３１、  
１５１）と、

前記クロック発生手段が発生するクロック信号の周波数を  
前記フィルタ部から出力される信号によって変調する変調手  
段（３０、１５１）と、

前記変調手段によって周波数が変調されたクロック信号の  
ワンドの特性が所望特性となるように、前記フィルタ部から  
出力される信号列のスペクトラムの各振幅値を設定する信号  
を前記フィルタ部に与える設定手段（２３、２６、１３０）  
と、

を備えるワンド発生装置が提供される。

また、前記目的を達成するために、本発明によると、

（２） 前記乱数信号発生手段は、

複数の擬似ランダム信号発生器を有し、該複数の擬似ラン  
ダム信号発生器がそれぞれ発生する擬似ランダム信号を合成  
して、前記複数ビットで構成される乱数の信号を一定速度で  
順次発生するように構成されていることを特徴とする（１）  
記載のワンド発生装置が提供される。

また、前記目的を達成するために、本発明によると、

（３） 前記フィルタ部は、

入力信号列を順次シフトしながら記憶する複数の記憶素子  
と、該複数の記憶素子に記憶された記憶値と複数の係数との  
積和演算を行う演算手段とを含んでいることを特徴とする  
（１）記載のワンド発生装置が提供される。



また、前記目的を達成するために、本発明によると、

(4) 前記フィルタ部は、

前記乱数信号発生手段から出力された乱数の信号列を前記複数の記憶素子に記憶させて前記演算手段による積和演算を行い、前記乱数の信号列に対するフィルタリング処理を行うように構成されており、

前記設定手段は、

前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号として前記複数の係数を前記演算手段に設定することを特徴とすることを特徴とする(3)記載のワンダ発生装置が提供される。

また、前記目的を達成するために、本発明によると、

(5) 前記フィルタ部は、

前記乱数信号発生手段が発生する乱数の信号列を、レートがそれぞれ異なる複数の経路に振り分けるデータ振分手段(51、141)と、

前記データ振分手段によって振り分けられた経路毎の信号列に対して、各経路毎に予め設定された係数によって重み付けをする重み付け手段(54、143)と、

前記重み付け手段によって重み付けされた各経路の信号列を、前記複数の記憶素子と演算手段とからなる複数のサブバンド合成器によって合成し、その合成結果をフィルタリング処理結果として出力する合成手段(56、145)とを備えており、

前記設定手段は、前記フィルタ部から出力される信号列の

スペクトラムの各振幅値を設定する信号として前記複数の重み係数を前記フィルタ部の前記重み付け手段に設定することを特徴とすることを特徴とする（３）記載のワンド発生装置が提供される。

また、前記目的を達成するために、本発明によると、

（６） 少なくとも装置の動作初期時に、前記フィルタ部に含まれる前記各記憶素子に対して、前記所望特性のワンドを有するクロック信号が出力されている定常時に前記各記憶素子に記憶される記憶値と同等の値を、前記定常時の信号入力経路と異なる経路で初期設定する初期設定手段（１３１）をさらに備えていることを特徴とする（４）または（５）記載のワンド発生装置が提供される。

また、前記目的を達成するために、本発明によると、

（７） 前記変調手段によって周波数が変調されたクロック信号のワンドの特性を、前記設定手段から前記フィルタ部に設定された信号を含む情報に基づいて算出する特性算出手段（１３４'）と、

前記特性算出手段によって求められた特性を表示する特性表示手段（１３５）とをさらに備えていることを特徴とする（１）記載のワンド発生装置が提供される。

また、前記目的を達成するために、本発明によると、

（８） ワンドを有する試験信号を発生するワンド発生部（２１、４０）と、

前記ワンド発生部から試験対象のデジタル回線を経由した信号を評価するワンド測定部（４１、４３）とを備え、

前記ワンダ発生部が、前記（１）乃至（７）のいずれかに記載のワンダ発生装置を含み、該ワンダ発生装置から出力されたクロック信号に同期した試験信号を発生するように構成されていることを特徴とするディジタル回線試験装置が提供される。

また、前記目的を達成するために、本発明によると、

（９） 所望のタイムデビエーション特性を満足するワンダを有するクロック信号を発生するためのワンダ発生装置であって、

前記クロック信号の中心周波数を決めるデータを設定するための中心周波数情報設定手段（２２）と、

前記所望のタイムデビエーション特性の特性情報を設定するための特性情報設定手段（２３）と、

前記特性情報設定手段によって設定された特性情報に基づいて、前記所望のタイムデビエーション特性に対応する周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する揺らぎ信号列発生部（２４）と、

前記中心周波数情報設定手段によって設定されたデータと、前記揺らぎ信号列発生部から出力される揺らぎ信号列とを加算する加算器（２９）と、

前記加算器の出力に対応した周波数の信号を出力するダイレクトディジタルシンセサイザ（３０）と、

前記ダイレクトディジタルシンセサイザの出力信号を波形整形してクロック信号を出力するクロック信号出力回路（３１）とを備えていることを特徴とするワンダ発生装置が提供

される。

また、前記目的を達成するために、本発明によると、

(10) 前記揺らぎ信号列発生部は、

擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段(25)と、

前記特性情報設定手段によって設定された特性情報に基づいて、前記雑音発生手段から出力された白色雑音信号の電力スペクトル密度分布を、前記周波数変動の電力スペクトル密度分布特性に近似させるための伝達関数のインパルス応答を演算するインパルス応答演算手段(26)と、

前記インパルス応答演算手段の演算結果と前記雑音発生手段から出力される雑白色雑音信号との畳込み演算を行い、前記周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する畳込み演算手段(28)とを備えていることを特徴とする(9)記載のワンダ発生装置が提供される。

また、前記目的を達成するために、本発明によると、

(11) 前記インパルス応答演算手段は、

前記周波数変動の電力スペクトル密度分布特性と前記伝達関数との誤差分に対応する補正関数によって、インパルス応答を補正することを特徴とする(10)記載のワンダ発生装置が提供される。

また、前記目的を達成するために、本発明によると、

(12) 前記畳込み演算手段は、

前記インパルス応答の演算結果の絶対値が小さい方の積和演算を優先的にを行うことを特徴とする(10)記載のワンダ

発生装置が提供される。

また、前記目的を達成するために、本発明によると、

(13) 前記インパルス応答演算手段は、

前記雑音発生手段から白色雑音信号が出力される毎に前記インパルス応答の演算を毎回行うように構成され、

前記畳込み演算手段は、

前記インパルス応答演算手段によって毎回算出される演算結果を用いて畳込み演算を行うことを特徴とする(10)記載のワンダ発生装置が提供される。

また、前記目的を達成するために、本発明によると、

(14) 前記揺らぎ信号列発生部は、

擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段(25)と、

前記雑音発生手段から出力された雑音信号を、前記周波数変動の電力スペクトル密度分布特性の周波数範囲を分割する複数の帯域にそれぞれ応じた信号経路に振り分け、前記各帯域に対応したレートで出力するデータ振分手段(51)と、前記データ振分手段によって振り分けられた各レート毎の雑音信号に対して、前記周波数変動の電力スペクトル密度分布特性の周波数範囲を複数の帯域に分割する前記各帯域毎のスペクトルの大きさに応じた重み付けを行う重み付け手段(54)と、前記重み付け手段によって重み付けされた各レートの雑音信号を合成して、前記周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する合成手段(56)とを備えていることを特徴とする(9)記載のワンダ発生装置が提

供される。

また、前記目的を達成するために、本発明によると、

(15) 前記雑音発生手段は、

それぞれ異なる初期位相でM系列の擬似ランダム符号を発生する複数(m)組の擬似ランダム信号発生手段を有し、

前記各擬似ランダム信号発生手段の所定段の出力をまとめてmビット並列の白色雑音信号として出力するように構成されていることを特徴とする(10)または(14)記載のワンダ発生装置が提供される。

また、前記目的を達成するために、本発明によると、

(16) 規定のタイムデビエーション特性を満足するワンダを有するクロック信号を発生するためのワンダ発生装置(21)と、

前記ワンダ発生装置から出力されたクロック信号に同期したデジタル信号を試験対象のデジタル回線に送出する送信部(40)と、

前記試験対象のデジタル回線から折り返されたデジタル信号を受信するとともに、該受信したデジタル信号のクロック信号を再生する受信部(41)と、

前記受信部が受信したデジタル信号の誤り測定を行う誤り測定部(42)と、

前記受信部によって再生されたクロック信号のタイムデビエーション特性を測定するタイムデビエーション測定部(43)と、

表示装置(47)と、

前記誤り測定部の測定結果を前記表示装置に表示するとともに、前記タイムデビエーション測定部で測定されたタイムデビエーション特性を前記規定のタイムデビエーション特性と対比できるように前記表示装置に表示する表示制御手段（46）と、

を備えるデジタル回線試験装置が提供される。

また、前記目的を達成するために、本発明によると、

（17） 前記ワング発生装置が、前記（9）乃至（15）のいずれかに記載のワング発生装置であることを特徴とする（16）記載のデジタル回線試験装置が提供される。

また、前記目的を達成するために、本発明によると、

（18） デジタルの白色性の雑音信号を発生する白色雑音発生手段（121）と、

デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部（125）と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段（130）と、

前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器（132）と、

前記乗算器に任意の振幅係数を設定する振幅設定手段（133）と、

前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザ（51）と、前記フィルタ部から前記特性係数に対応した周波数特性の雑音信号が出力されている状態における前記デジタルフィルタの各記憶素子の記憶内容と同等の雑音信号列を、少なくとも装置の動作初期時に前記デジタルフィルタの各記憶素子に初期設定する初期設定手段（131）と、

を備えるデジタル回線試験装置が提供される。

また、前記目的を達成するために、本発明によると、

（19） デジタルの白色性の雑音信号を発生する白色雑音発生手段（121）と、

デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部（125）と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段（130）と、

前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器（132）と、

前記乗算器に任意の振幅係数を設定する振幅設定手段（133）と、

前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザ（151）と、



前記特性係数設定手段から設定された特性係数および振幅設定手段から設定された振幅係数に基づいて、前記乗算器から出力される雑音信号または前記周波数シンセサイザから出力されるクロック信号の特性を求める特性算出手段（134、134'）と、

前記特性算出手段によって求められた特性を表示する特性表示手段（135）と、

を備えるデジタル回線試験装置が提供される。

また、前記目的を達成するために、本発明によると、

（20） 任意の位相雑音特性を指定する特性指定手段と、前記特性指定手段によって指定された位相雑音特性の試験信号を生成するために必要なパラメータを算出するパラメータ算出手段と、

前記パラメータ算出手段によって算出されたパラメータに基づいて位相雑音特性を有する試験信号を生成する試験信号生成手段と、

前記試験信号生成手段が生成した試験信号の位相雑音特性を測定する第1の位相雑音特性測定手段と、

前記試験信号生成手段が生成した試験信号を外部の解析対象に出力するための出力端子と、

前記試験信号を受けた解析対象から出力される信号を入力させるための入力端子と、

前記試験信号に対する前記第1の位相雑音特性測定手段の位相雑音特性の測定と並行して、前記入力端子から入力される信号の位相雑音特性を測定する第2の位相雑音特性測定手

段と、

前記特性指定手段によって指定された位相雑音特性と前記第1の位相雑音特性測定手段によって測定された位相雑音特性との差を近似誤差として求める近似誤差算出手段と、

前記第2の位相雑音特性測定手段によって測定された位相雑音特性を前記近似誤差算出手段によって算出された近似誤差で補正して、前記解析対象が前記特性指定手段によって指定された位相雑音特性の試験信号を受けたと仮定したときに出力する信号の仮想位相雑音特性を算出する仮想特性算出手段とを備え、

前記特性指定手段によって指定された位相雑音特性と前記仮想特性算出手段によって算出された仮想位相雑音特性との差を把握できるようにしていることを特徴とする位相雑音伝達特性解析装置が提供される。

また、前記目的を達成するために、本発明によると、

(21) 任意の位相雑音特性を指定する特性指定手段と、前記特性指定手段によって指定された位相雑音特性の試験信号を生成するために必要なパラメータを算出するパラメータ算出手段と、

前記パラメータ算出手段によって算出されたパラメータに基づいて位相雑音特性を有する試験信号を生成する試験信号生成手段と、

前記パラメータ算出手段によって算出されたパラメータに基づいて、前記試験信号生成手段が生成する試験信号の位相雑音特性を算出する位相雑音特性算出手段と、

前記試験信号生成が生成した試験信号を外部の解析対象に出力するための出力端子と、

前記試験信号を受けた解析対象から出力される信号を入力させるための入力端子と、

前記入力端子から入力される信号の位相雑音特性を測定する位相雑音特性測定手段と、

前記特性指定手段によって指定された位相雑音特性と前記位相雑音特性算出手段によって算出された位相雑音特性との差を近似誤差として求める近似誤差算出手段と、

前記位相雑音特性測定手段によって測定された位相雑音特性を前記近似誤差算出手段によって算出された近似誤差で補正して、前記解析対象が前記特性指定手段によって指定された位相雑音特性の試験信号を受けたと仮定したときに出力する信号の仮想位相雑音特性を算出する仮想特性算出手段とを備え、

前記特性指定手段によって指定された位相雑音特性と前記仮想特性算出手段によって算出された仮想位相雑音特性との差を把握できるようにしていることを特徴とする位相雑音伝達特性解析装置が提供される。

#### 図面の簡単な説明

図1は、本発明によるワング発生装置およびそれを用いるデジタル回線試験装置の一実施の形態の全体構成を示すブロック図であり、

図2は、図1の要部の構成を示すブロック図であり、

図3は、本発明によるワンダ発生装置の原理を説明するための電力スペクトル密度分布特性を示す図であり、

図4は、本発明によるワンダ発生装置の原理を説明するための相対電力スペクトル密度分布特性を示す図であり、

図5は、図1の要部の構成を示すブロック図であり、

図6は、図1の要部の回路構成を示す図であり、

図7は、図1の要部の回路構成を示す図であり、

図8は、図1の要部の動作を説明するためのインパルス応答を示す図であり、

図9は、図1の要部の回路構成を示す図であり、

図10A, B, Cは、図1の要部の動作を説明するための図であり、

図11は、本発明によるワンダ発生装置を用いるデジタル回線試験装置の測定結果を示す図であり、

図12は、図1の要部の動作を説明するための電力スペクトル密度分布と伝達関数と差を示す図であり、

図13は、図1の要部の動作を説明するための規定のTDE V特性と実際のTDE V特性の差を示す図であり、

図14は、図1の要部の動作を説明するための補正関数を示す図であり、

図15は、図1の要部の動作を説明するための電力スペクトル密度分布と補正後の伝達関数と差を示す図であり、

図16は、図1の要部の動作を説明するための規定のTDE V特性と補正後のTDE V特性の差を示す図であり、

図17は、図1の要部の回路構成として正逆可能な擬似ランダム発生回路を示す図であり、

図18A、Bは、図17の正逆可能な擬似ランダム発生回路の状態遷移を示す図であり、

図19A、Bは、図17の正逆可能な擬似ランダム発生回路の所定ビット目の出力の変化を示す図であり、

図20は、図17の正逆可能な擬似ランダム発生回路の正順と逆順の状態対応図であり、

図21は、図1の要部の回路構成として正逆可能な擬似ランダム発生回路の回路図であり、

図22は、本発明によるワンド発生装置の変形例の構成を示すブロック図であり、

図23は、図1の揺らぎ信号列発生部の変形例の構成を示すブロック図であり、

図24は、図23の要部の構成を示すブロック図であり、

図25A乃至Hは、図23の要部の動作を説明するためのタイミング図であり、

図26は、図23の要部の動作を説明するための図であり、

図27は、図23の要部の構成を示すブロック図であり、

図28は、図23の要部の動作を説明するための図であり、

図29は、図23の揺らぎ信号列発生部の動作を説明するための規定のTDEV特性と実際のTDEV特性の差を示す図であり、

図30は、図23の要部の他の構成を示すブロック図であり、

図31は、本発明による他の実施形態のワンダ発生装置に含まれる雑音発生装置の構成を示すブロック図であり、

図32は、図31の要部の構成を示すブロック図であり、

図33は、図31の要部の構成を示すブロック図であり、

図34は、図31の動作を説明するためのブロック図であり、

図35は、図31の要部の変形例の構成を示すブロック図であり、

図36A乃至Fは、図35の変形例の動作を説明するためのタイミング図であり、

図37は、図35の変形例の動作を説明するための図であり、

図38は、図35の変形例の動作を説明するための図であり、

図39は、本発明によるワンダ発生装置の全体構成を示すブロック図であり、

図40は、本発明による位相雑音伝達特性解析装置の一実施の形態の構成を示すブロック図であり、

図41は、図40の要部の構成を示すブロック図であり、

図42は、図40の要部の構成を示すブロック図であり、

図43は、図40の要部の動作を説明するための指定された特性の一例を示す特性図であり、

図44は、図40の要部の動作を説明するための試験信号の特性図であり、

図45は、図40の要部の動作を説明するための近似誤差

を示す図であり、

図46は、図40の要部の動作を説明するための解析対象機器の出力信号の特性図であり、

図47は、図40の要部の動作を説明するための近似誤差の補正によって得られた仮想特性図であり、

図48は、図40の要部の動作を説明するための特性の表示例を示す図であり、

図49は、本発明による位相雑音伝達特性解析装置の他の実施の形態を示すブロック図であり、

図50は、従来のワンダ発生装置の構成を示すブロック図であり、

図51A、Bは、従来のワンダ発生装置の動作を説明するための規定のTDEV特性例を示す図であり、

図52は、従来の位相雑音伝達特性解析装置の構成を示すブロック図であり、

図53は、従来の位相雑音伝達特性解析装置の動作を説明するための指定した特性と実際に出力される信号の特性を示す図であり、

図54は、従来の位相雑音伝達特性解析装置の動作を説明するための特性の表示例を示す図である。

## 発明を実施するための最良の形態

以下、図面に基づいて本発明の実施形態を説明する。

図1は、本発明によるワンダ発生装置21およびそれを用

いるデジタル回線試験装置 20 の一実施形態の全体構成を示している。

この実施形態によるデジタル回線試験装置 20 は、任意の T D E V マスク特性を満足するワンダを有するクロック信号 C K 1 を発生するワンダ発生装置 21 を有している。

このワンダ発生装置 21 の詳細については後述し、先にデジタル回線試験装置 20 の全体構成を説明する。

まず、ワンダ発生装置 21 から出力されたクロック信号 C K 1 は、送信部 40 に入力される。

この送信部 40 は、ワンダ発生装置 21 から出力されたクロック信号 C K 1 に同期した所定パターンのデジタル信号（例えば、擬似ランダム信号）S a を、出力端子 20 a を介して予め折り返しモードに設定された試験対象のデジタル回線 1 へ送出する。

なお、送信部 40 は、クロック信号 C K 1 に同期したデジタル信号以外に他のデジタル信号を多重化してデジタル回線 1 へ送出する場合もある。

受信部 41 は、デジタル回線 1 から折り返されてきたデジタル信号 S a ' を入力端子 20 b を介して受信し、この受信したデジタル信号 S a ' からクロック信号 C K 1 ' を再生する。

誤り測定部 42 は、受信部 41 が受信したデジタル信号 S a ' の誤り測定を行うビット単位で行う。

また、T D E V 測定部 43 は、受信部 41 によって再生されたクロック信号 C K 1 ' のタイムデビエーションを測定す



る。

このTDEV測定部43は、図2に示すように、TIE検出部44とTDEV演算部45によって構成されている。

ここで、TIE検出部44では、受信したクロック信号CK1'と基準クロック発生器44aから出力される基準クロック信号CK2との両者の位相差を位相比較器44bによって検出する。

そして、この位相比較44bの出力から10Hz以下のワンダ成分が、低域通過フィルタ(LPF)44cによって抽出される。

このワンダ成分信号は、A/D変換器44dによって所定のサンプリング周期(例えば12.5mS)でサンプリングしてディジタル値に変換された後、TIEデータとしてTDEV演算部45に出力される。

TDEV演算部45は、TIE検出部44から出力されるTIEデータについて前記したTDEVの演算を行う。

図1に戻って、表示制御手段46は、誤り測定部42の測定結果Eを表示装置47に表示するとともに、TDEV測定部43の測定結果を、前記したワンダ発生装置21の規定のTDEV特性と対比可能とするために、表示装置47に表示する。

このように構成されているので、この実施形態によるディジタル回線試験装置20は、試験対象のディジタル回線1のワンダについての評価を容易に且つ効率的に行うことができる。

また、このデジタル回線試験装置 20 は、その出力端子 20 a と入力端子 20 b とを直結すれば、ワンダ発生装置 21 が発生するクロック信号 CK 1 の T D E V 特性を測定することができる。

したがって、表示制御手段 47 は、この測定結果を規定の T D E V マスクと対比可能とするために、表示装置 47 に表示することもできる。

なお、このデジタル回線試験装置 20 では、上記したように、ワンダ発生装置 21 から出力されたワンダのあるクロック信号に同期したデジタル信号が、送信部 40 を介して試験対象のデジタル回線 1 へ出力される。

そして、試験対象のデジタル回線 1 を経由したデジタル信号のクロック信号成分が、受信部 41 を介して再生される。

また、そのクロック信号のワンダのタイムデビエーション特性が T D E V 測定部 44 によって求められている。

したがって、このデジタル回線試験装置 20 のワンダ発生装置 21 および送信部 40 は、上述した (8) の発明によるワンダ発生部に相当する。

また、受信部 41 および T D E V 測定部 44 は、上述した (8) の発明によるワンダ測定部に相当している。

このワンダ発生装置 21 の構成を説明する前に、まず、その概要を説明する。

このワンダ発生装置 21 は、T D E V 特性に対応する周波数変動の電力スペクトル密度分布特性に基づいて、この T D

E V特性のワンダを有するクロック信号を発生している。

すなわち、ワンダのTDEV ( $\tau$ ) ( $n_s$ ) の特性と、そのワンダの時間変動の電力スペクトル密度分布  $S_x(f)$  ( $n_s^2 / \text{Hz}$ ) との間には、次の関係が成立することが知られている。

$$S_x(f) = (0.75 / f) [TDEV(0.3 / f)]^2$$

例えば、前記図51Bに示したTDEVマスクM2のような特性では、積分時間が $\tau_1$ まではTDEV( $\tau$ )が一定である。

したがって、この場合には、図3に示すように、周波数が $0.3 / \tau_1 = f_2$ を超える範囲の電力スペクトル密度分布  $S_x(f)$  は、 $1 / f$  に比例して減少する。

そして、図51Bに示すように、積分時間が $\tau_1$ から $\tau_2$ までの範囲ではTDEV( $\tau$ )が $\tau$ に比例 ( $1 / f$  に比例) して増加する。

したがって、この場合には、図3に示すように、周波数が $0.3 / \tau_1 \sim 0.3 / \tau_2 (= f_2 \sim f_1)$  の範囲の電力スペクトル密度分布  $S_x(f)$  は、 $(1 / f) \cdot (1 / f)$

$^2 = 1 / f^3$  に比例して減少する。

また、図51Bに示すように、積分時間が $\tau_2$ を超える範囲では、TDEV( $\tau$ )が $\tau^{1/2}$  に比例 ( $1 / f^{1/2}$  に比例)

して増加する。

したがって、この場合には、図3に示すように、周波数が  $f_1$  より低い範囲では  $S_x(f)$  は、 $(1/f) \cdot (1/f)$   
 $= 1/f^2$  に比例して減少する。

一方、時間変動の電力スペクトル密度分布特性  $S_x(f)$  と周波数変動の電力スペクトル密度分布特性  $S_y(f)$  との間には、

$$S_y(f) = \omega^2 \cdot S_x(f) = (2\pi f)^2 \cdot S_x(f)$$

の関係があることが知られている。

つまり、前記した時間変動の電力スペクトル密度分布特性  $S_x(f)$  は、図4に示すように、周波数  $f_1$  までは一定で、周波数  $f_1 \sim f_2$  の範囲では  $-3 \text{ dB/oct}$  で減少し、周波数  $f_2$  を超える範囲では  $3 \text{ dB/oct}$  で増加する周波数変動の電力スペクトル密度分布特性  $S_y(f)$  に対応している。

そこで、このワンダ発生装置21では、周波数について一様分布する白色雑音に対してフィルタリング処理を行うことにより、図4に示すような電力スペクトル密度分布特性  $S_y(f)$  の揺らぎ信号列  $y(k)$  を発生させた後、この揺らぎ信号列  $y(k)$  を後述するダイレクトディジタルシンセサイザ(DDS)30によって積分することによって、前記のTDEVマスク特性のクロック信号を得ている。

また、このワンダ発生装置21では、前述のフィルタリン

グ処理をデジタルの白色雑音信号列に対して行うために、図4に示すような電力スペクトル密度分布特性  $S_y(f)$  に近似する伝達関数のインパルス応答を求めた後、このインパルス応答の演算によって得られたタップ係数と白色雑音信号列との畳込み演算を行っている。

次に、ワンド発生装置21の具体的な構成について説明する。

このワンド発生装置21は、図5に示すように、中心周波数設定手段22、特性情報設定手段23、揺らぎ信号列発生部24、加算器29、DDS30、クロック信号出力回路31によって構成されている。

ここで、中心周波数設定手段22は、出力するクロック信号CK1の中心周波数（例えば、2MHz）、すなわち、DDS30の出力信号の中心周波数を決めるデータY0を設定するためのものである。

また、特性情報設定手段23は、出力したい所望のTDEVマスク特性に対応する電力スペクトル密度分布特性  $S_y(f)$  の形状や折れ曲がり点の周波数情報等の特性情報を設定するためのものである。

また、揺らぎ信号列発生部24は、特性情報設定手段23によって設定された特性情報に基づいて、白色雑音に対するフィルタリング処理を行うことにより、所望のTDEVマスク特性に対応する周波数変動の電力スペクトル密度分布特性  $S_y(f)$  を満足する揺らぎ信号列  $y(k)$  を発生する。

また、加算器29は、中心周波数設定手段22によって設

定されたデータ  $Y_0$  と揺らぎ信号発生部 24 から出力される揺らぎ信号列  $y(k)$  とを加算し、その加算結果  $u(k)$  を DDS 30 に出力する。

そして、DDS 30 は、加算器 30 a と、この加算器 30 a の出力をクロック信号 CK 3 に同期してラッチするラッチ回路 30 b と、正弦波データが連続したアドレス領域に予め記憶されるとともに、前記ラッチ回路 30 b の出力で指定されたアドレスのデータを読み出す波形メモリ 30 c と、この波形メモリ 30 c から読み出されたデータをアナログ信号に変換する D/A 変換器 30 d とからなり、前記加算器 29 から出力される値に対応した周波数の階段波状の信号を出力する。

この DDS 30 のクロック信号 CK 3 は、前述のクロック信号 CK 1 に比べてはるかに高速（例えば、50 MHz 程度）である。

ここでは、加算器 29 から出力される値  $u(k)$  に等しい周波数の信号を出力できるように、波形メモリ 30 a のアドレス数、クロック信号 CK 3 の周波数が予め設定されているものとする。

この DDS 30 の出力信号はクロック信号出力回路 31 に入力される。

このクロック信号出力回路 31 では、前記 DDS 30 の出力信号を波形整形してクロック信号 CK 1 を出力するために、DDS 30 から出力される階段波状の信号をデータ  $Y_0$  に対応する帯域通過フィルタ (BPF) 31 a によって正弦波に

変換してコンパレータ 31b に入力する。

このコンパレータ 31b は、前記低域通過フィルタ 31a から出力される正弦波信号としきい値  $V_r$  とを比較することにより、正弦波信号がしきい値  $V_r$  より小のときローレベル、正弦波信号がしきい値  $V_r$  以上のときハイレベルとなる 2 値化されたクロック信号 CK1 を出力する。

ここで、DDS 30 およびクロック信号出力回路 31 は、後述するように、揺らぎ信号列発生部 24 の畳込み演算手段 28 から出力される揺らぎ信号列  $y(k)$  によって周波数が変調されたクロック信号を生成する。

したがって、DDS 30 およびクロック信号出力回路 31 は、前述した (1) の発明のクロック発生手段に相当している。

また、DDS 30 には、前述した (1) の発明の変調手段に相当する部分が含まれている。

一方、揺らぎ信号列発生部 24 は、白色雑音信号  $n(k)$  を発生する雑音発生手段 25 と、特性情報設定手段 23 によって設定された特性情報とに基づいて、前記電力スペクトル密度分布特性  $S_y(f)$  に近似する伝達関数のインパルス応答の時間毎のタップ係数を演算するインパルス応答演算手段 26 と、このインパルス応答演算手段 26 によって算出された各時間毎のタップ係数を記憶するメモリ 27 と、前記雑音発生手段 25 から出力される白色雑音信号  $n(k)$  とメモリ 27 に記憶された各時間毎のタップ係数とによる畳込み演算を行うことにより、前記相対電力スペクトル密度分布特性

S' を満足する揺らぎ信号列  $y(k)$  を発生する畳込み演算手段 28 とを備えている。

ここで、雑音発生手段 25 は、M 系列の擬似ランダム信号に基づいて白色雑音信号  $n(k)$  を生成するものであり、その構成例が図 6、図 7 に示されている。

図 6 に示される雑音発生手段 25 は、1 組の擬似ランダム信号発生回路を構成するために、複数 P 段直列のシフトレジスタ 25a と、このシフトレジスタ 25a の所定段（P によって決まる）の出力同士 of 排他的論理和をとる EXOR 回路 25b とを有している。

そして、この雑音発生手段 25 は、シフトレジスタ 25a に全ビット 0 でない初期値をセットして、クロック信号 CK4 を受ける毎に各段の 1 ビットデータをシフトさせるように構成されており、P 段のうちの任意の m 段（例えば、8 段）の出力を m ビット並列の白色雑音信号  $n(k)$  として順次出力する。

また、図 7 に示される雑音発生手段 25 は、より理想的な白色雑音に近似した白色雑音信号を生成するために、前記したシフトレジスタ 25a と EXOR 回路 25b からなる擬似ランダム信号発生回路を m 組設けている。

すなわち、この雑音発生手段 25 は、初期値設定手段 25c によってシフトレジスタ 25a1 ~ 25am に、それぞれ異なる初期値（全ビット 0 でない）をセットして、クロック信号 CK4 を受ける毎に各シフトレジスタ 25a1 ~ 25am がそれぞれ各段の 1 ビットデータをシフトさせるように構



成されている。

そして、この雑音発生手段 25 は、各シフトレジスタ 25 a 1 ~ 25 a m の一段毎の出力をまとめて m ビット並列の白色雑音信号  $n(k)$  として順次出力する。

なお、各シフトレジスタ 25 a 1 ~ 25 a m に設定される初期値は、互いに十分離れているものとする。

例えば、P 段のシフトレジスタ 25 a 1 ~ 25 a m をもつ擬似ランダム信号発生回路の場合、最大で  $2^P - 1$  通りの符号が得られるので、1 組目のシフトレジスタ 25 a 1 には例えば全ビット 1 を初期値として設定する。

また、2 組目のシフトレジスタ 25 a 2 には、全ビット 1 の状態から約  $(2^P - 1) / m$  回だけ進んだ値を初期値として設定する。

また、3 組目のシフトレジスタ 25 a 3 には、全ビット 1 の状態から約  $2(2^P - 1) / m$  回だけ進んだ値を初期値として設定する。

以下これに準じて設定するようにすれば、各シフトレジスタ 25 a 1 ~ 25 a m の初期値は、ほぼ  $(2^P - 1) / m$  以上の差を持つことになる。

この結果、P が m に対して十分大きければ、各シフトレジスタ 25 a 1 ~ 25 a m の出力は無相関となる。

したがって、これらの各シフトレジスタ 25 a 1 ~ 25 a m の出力を 1 ビットずつまとめて m ビット並列にした白色雑音信号  $n(k)$  は、理想的な白色雑音にきわめて近いものとなる。

なお、このように構成された雑音発生手段 25 は、シフトレジスタと EX-OR 回路からなる擬似ランダム信号発生回路によって決まる所定のアルゴリズムに基づいて、複数ビットの乱数からなる雑音信号をクロック信号 CK 4 によって決まる一定速度で順次出力するものである。

したがって、この雑音発生手段 25 は、前述した (1) の発明の乱数信号発生手段に相当している。

また、図 7 に示したように、複数組の擬似ランダム信号発生器の出力を合成したものは、前述した (2) の発明の乱数信号発生手段に相当している。

図 5 に戻って、インパルス応答演算手段 26 は、特性情報設定手段 23 によって設定された特性情報に基づいて、電力スペクトル密度分布特性  $S_y(f)$  に近似する伝達関数のインパルス応答の時間毎のタップ係数  $h(t)$  を演算する。

例えば、図 4 に示す電力スペクトル密度分布特性  $S_y(f)$  のように、周波数  $f_1$  までは一定で、周波数  $f_1 \sim f_2$  の範囲では  $-3 \text{ dB/oct}$  で減少し、周波数  $f_2$  を超える範囲では  $3 \text{ dB/oct}$  で増加する特性の伝達関数は、次の伝達関数  $H(f)$  で近似されることが知られている。

$$H(f) = (1 + j f / f_2) / [1 +$$

$$A b s ( f / f 1 ) ] ^ { 1 / 2 }$$

ただし、 $A b s ( f / f 1 )$  は  $f / f 1$  の絶対値を示す。

そして、この伝達関数  $H ( f )$  のインパルス応答  $h ( t )$  は、

$$h ( t ) = - \infty \int ^ { \infty } H ( f ) e ^ { j 2 \pi f t } d f$$

と表される。

このインパルス応答演算手段 26 は、前記図 4 に示すような特性の特徴と、その折れ曲がり部分の周波数 ( $f 1$ 、 $f 2$  等) とが特性情報として設定されると、上記インパルス応答  $h ( t )$  をその設定値に基づいて演算する。

図 8 は、前記伝達関数  $H ( f )$  のインパルス応答  $h ( t )$  の演算結果を示すものである。

すなわち、 $t < 0$  の範囲では、インパルス応答  $h ( t )$  は正で且つ  $t$  の絶対値が大きい程 0 に近くなり、 $t$  の絶対値が 0 に近くなると急激に大きくなる。

また、 $t > 0$  の範囲ではインパルス応答  $h ( t )$  は  $t$  の絶対値が大きいほど正で 0 に近づき、 $t$  の絶対値が 0 に近くなると負になって急激に小さくなる。

このインパルス応答演算手段 26 は、上記応答の  $T$  時間間隔の  $h ( t )$  の値 (タップ係数という) を求める際、 $t = 0$  の特異点をとらないようにしている。

このため、まず、初期時点  $t_0$  を

$$(-N/2) T + T/2 = -(N+1) T/2$$

とする。

そして、 $h(t_0 + rT)$  の値を、

$$-(N-1)T/2 \leq t \leq (N-1)T/2$$

の時間範囲として、上記  $h(t)$  の値 (タップ係数) を  $N$  個 ( $N$  は偶数とする) 求めている。

なお、この時間範囲は、この時間範囲内で正、この時間範囲外では 0 となる窓関数  $g(t)$  をインパルス応答  $h(t)$  に積算することによって制限している。

このインパルス応答演算手段 26 によって算出された各時間毎のタップ係数  $h(t_0 + kT)$  は、メモリ 27 に記憶される。

また、畳込み演算手段 28 は、前記雑音発生手段 25 から出力される白色雑音信号  $n(k)$  とメモリ 27 に記憶された各時間毎のタップ係数  $h(t_0 + rT)$  とによる次式の畳込み演算を行うことにより、前記電力スペクトル密度分布特性  $S_y(f)$  を満足する揺らぎ信号列  $y(k)$  を発生する。

$$\begin{aligned} y(k) &= \sum_{r=0}^{N-1} n(k-r) h(t_0 + rT) \\ &= n(k) h(t_0) + n(k-1) h(t_0 + T) \\ &\quad + n(k-2) h(t_0 + 2T) \\ &\quad + n(k-3) h(t_0 + 3T) \\ &\quad \dots\dots \\ &\quad + n(k-N+1) h(t_0 + (N-1)T) \end{aligned}$$

ここで、上記畳込み演算は、入力される白色雑音信号  $n(k)$  と予め設定されたタップ係数  $h(t_0 + rT)$  との積和演算

である。

この積和演算は、雑音発生手段 25 から出力される白色雑音信号  $n(k)$  に対しデジタル的なフィルタリング処理を行っていることと等価である。

したがって、この畳込み演算手段 28 は、前述した (1), (3), (4) の発明のフィルタ部に相当している。

また、この畳込み演算手段 28 に設定されるタップ係数は、前記したように、所望のタイムデビエーション特性のワンダを得るために、特性情報設定手段 23 によって設定された特性情報に基づいてインパルス応答演算手段 26 が算出したものである。

このようなタップ係数によって、畳込み演算手段 28 から出力される揺らぎ信号列  $y(k)$  のスペクトラム特性が決定される。

したがって、特性情報設定手段 23 およびインパルス応答演算手段 26 は、前述した (1) の発明の設定手段に相当している。

ところで、上記畳込み演算を実際に行う際、その演算順序を工夫することにより、誤差を少なくすることができる。

すなわち、タップ係数  $h(t_0 + rT)$  の絶対値は、 $t_0 + rT$  が 0 に近い領域で非常に大きく、0 から遠い領域では非常に小さい。

このため、上記演算を浮動小数点で単純に時刻順に行うと、 $t_0 + rT$  が 0 に近い範囲まで積和演算が行われたときに、その演算結果の桁数が非常に大きくなってしまう。

したがって、それ以後に行われる  $t_0 + rT$  がプラスで且つ 0 から遠い領域の演算結果がアンダーフローしてしまうことにより、上記畳込み演算の精度が低下する。

これを防ぐために、タップ係数の絶対値が小さい領域 ( $t$  が 0 から遠い領域) の積和演算を優先的に行うことによつて、その演算結果の桁数を高くしてから、タップ係数の絶対値が大きい領域 ( $t$  が 0 に近い領域) の積和演算を行うようにする。

このような演算順序としては種々考えられるが、ここではその具体例を 2 つ説明する。

第 1 の方法は、 $t$  が正の範囲の積和演算と  $t$  が負の範囲の積和演算とをそれぞれ独立に 0 から遠い方から順番に行い、両者を最後に加算する方法である。

すなわち、この方法では、以下のような積和演算がそれぞれ前の項から後ろの項へ順番に行われる。

$$\begin{aligned}
 y_{-}(k) &= n(k) h(t_0) \\
 &\quad + n(k-1) h(t_0 + T) \\
 &\quad + n(k-2) h(t_0 + 2T) \\
 &\quad \dots\dots \\
 &\quad + n(k - N/2 + 1) h[t_0 + (N/2 - 1)T] \\
 y_{+}(k) &= n(k - N + 1) h[t_0 + (N - 1)T] \\
 &\quad + n(k - N + 2) h[t_0 + (N - 2)T] \\
 &\quad + n(k - N + 3) h[t_0 + (N - 3)T] \\
 &\quad \dots\dots \\
 &\quad + n(k - N/2) h[t_0 + (N/2)T]
 \end{aligned}$$

そして、最後に、

$$y(k) = y_-(k) + y_+(k)$$

の演算を行う。

第2の方法は、 $t$ が正の範囲と負の範囲の積和演算を0から遠い方から順番に且つ交互に行う方法である。

すなわち、この方法では、次式のような演算が前の項から後ろ項へ順番に行われる。

$$\begin{aligned} y(k) = & n(k) h(t_0) \\ & + n(k-N+1) h[t_0 + (N-1)T] \\ & + n(k-1) h(t_0 + T) \\ & + n(k-N+2) h[t_0 + (N-2)T] \\ & + n(k-2) h(t_0 + 2T) \\ & + n(k-N+3) h[t_0 + (N-3)T] \\ & \dots\dots \\ & + n(k-N/2+1) h[t_0 + (N/2-1)T] \\ & + n(k-N/2) h[t_0 + (N/2)T] \end{aligned}$$

このように、タップ係数の絶対値が小さい領域（ $t$ が0から遠い領域）の積和演算を優先的に行うことにより、その演算結果の桁数を高くした後で、タップ係数の絶対値が大きい領域（ $t$ が0に近い領域）の積和演算を行うことによって、浮動小数点演算のアンダーフローによる精度の低下を防ぐことができる。

また、上記畳込み演算を行う場合、メモリ27に記憶された $N$ 個のタップ係数と、現段階の白色雑音信号 $n(k)$ と、それより $N-1$ 個前までの白色雑音信号 $n(k-1) \sim n(k$

$-N+1$ ) が必要となる。

この  $N-1$  個の白色雑音信号  $n(k-1) \sim n(k-N+1)$  は、予めメモリに記憶しておいて読み出す方法と、雑音発生手段 25 として雑音信号を逆戻しできるものを用いて毎回発生する方法とが考えられる。

ここでは、前者の方法について説明し、後者の方法については後で説明する。

前者のメモリを用いる方法では、雑音発生手段 25 または畳込み演算手段 28 のいずれかに、図 9 に示すように、 $m$  ビットの雑音信号をシフトクロック  $CK5$  を受ける毎に順次後段へシフトさせながら記憶する  $N-1$  段 ( $N$  段でもよい) のシフトレジスタ 50 をメモリとして設けておく。

初期段階に、予め  $N-1$  個までの雑音信号  $n(k-1) \sim n(k-N+1)$  を前記雑音発生手段 25 から発生させてシフトレジスタ 50 に記憶しておく。

そして、次に発生した雑音信号  $n(k)$  とシフトレジスタ 50 に記憶されている雑音信号  $n(k-1) \sim n(k-N+1)$  とを用いて前記畳込み演算を行ってから、シフトクロック  $CK5$  を与えることにより、この雑音信号  $n(k)$  をシフトレジスタ 50 に記憶させる。

また、次の雑音信号  $n(k+1)$  が発生したときに、この雑音信号  $n(k+1)$  とシフトレジスタ 50 に記憶されている雑音信号  $n(k) \sim n(k-N+2)$  を用いて上記畳込み演算を行うという動作を繰り返す。

なお、このときのシフトクロック  $CK5$  は、雑音発生手段



## 4 3

2 5 のクロック信号 C K 4 と同期させる。

このような畳込み演算を行うことによって得られた揺らぎ信号列  $y(k)$  は、前記したように、加算器 2 9 に入力されて中心周波数を決めるデータ  $Y 0$  と加算される。

そして、この加算器 2 9 による加算結果  $u(k)$  が、前記 D D S 3 0 に入力される。

この D D S 3 0 では、加算器 2 9 から出力された加算結果  $u(k)$  を高速（クロック信号 C K 2 の速度）で累積（積分）しながら、波形メモリ 3 0 c のデータを読み出す。

このため、例えば、図 1 0 A に示すように揺らぎ信号列  $y(k)$  が正のときには、図 1 0 C に示すようにクロック信号 C K 1 の周波数が  $Y 0$  より  $y(k)$  分高くなって、その位相が図 1 0 B に示す基準位相に対して揺らぎ信号列  $y(k)$  の累積分だけ進んで行く。

また、図 1 0 A に示すように揺らぎ信号列  $y(k)$  が負のときには、図 1 0 C に示すようにクロック信号 C K 1 の周波数が  $Y 0$  より  $y(k)$  分低くなって、その位相が図 1 0 B に示す基準位相に対して揺らぎ信号列  $y(k)$  の負の累積分だけ遅れて行く。

つまり、クロック信号 C K 1 は、揺らぎ信号列  $y(k)$  の積分結果に相当する位相変動を受けて周波数が変調されることになる。

このようにしてクロック信号 C K 1 の時間変動の電力スペクトル密度分布特性を前記特性  $S_x(f)$  に近似させることができるので、前記 T D E V マスク M 2 のワンダを有するク

## 4 4

ロック信号CK1を発生することができる。

このように構成されたワンダ発生装置21から出力されたクロック信号CK1は、前記したように図1に示す送信部40に入力される。

そして、この送信部40からクロック信号CK1に同期したデジタル信号Saが、試験対象のデジタル回線1へ送出される。

そして、このデジタル回線1から折り返されてくるデジタル信号Sa'は受信部41で受信された後、その誤り率が誤り測定部42で測定される。

また、受信部41で再生されたクロック信号CK1'のTDEVがTDEV測定部43によって測定される。

ここで、誤り測定部42の測定結果Eは、表示制御手段46によって表示装置47に、例えば、数値で表示される。

また、TDEV測定部43の測定結果は、表示装置47に、例えば、図11に示す特性F1またはF2のように、規定のTDEV特性(TDEVマスクM2)と対比できるように表示される。

なお、図11に示す特性F1のように、TDEVマスクM2より低いTDEV特性が測定された場合には、デジタル回線1においてワンダが抑圧されていることが判る。

また、図11に示す特性F2のように、TDEVマスクM2より高いTDEV特性が測定された場合には、デジタル回線1においてワンダが増加していることが判る。

前記説明では、TDEVマスクM2に対応した電力スペク

トル密度分布特性  $S_y(f)$  の揺らぎ信号列を発生させるためのフィルタの伝達関数として、

$$H(f) = (1 + j f / f_2) / [1 + \text{Abs}(f / f_1)]^{1/2}$$

を用いて近似させている。

しかるに、この伝達関数の絶対値の平方  $|H(f)|^2$  は、図12に示すように、理想的な電力スペクトル密度分布特性  $S_y(f)$  に対して、その折れ曲がり部分と上限周波数部分で誤差が発生している。

この誤差によって、クロック信号  $CK1$  のTDEV特性  $M2'$  は、図13に示すように規定のTDEVマスク  $M2$  に対して  $\tau_1$ 、 $\tau_2$  および  $\tau$  が0に近い部分で誤差が生じる。

このような誤差は、次のような補正関数  $W(f)$  を用いて補正することができる。

この補正関数  $W(f)$  としては、例えば、図14に示すような特性を有する関数を用いる。

まず、この関数は、 $f_1$  に近い周波数  $f_1'$  を中心とする帯域  $B_1$  で、そのレベルが増大し、その周波数  $f_1'$  でピーク ( $A_1$ ) となる。

また、この関数は、 $f_2$  に近い周波数  $f_2'$  を中心とする帯域  $B_2$  で、そのレベルが減少し、その周波数  $f_2'$  でボトム ( $A_2$ ) となる。

また、この関数は、上限周波数 ( $10\text{ Hz}$ ) に近い周波数

$f_3'$  を中心とする帯域  $B_3$  で、そのレベルが増大し、その周波数  $f_3'$  でピーク ( $A_3$ ) となり、他の部分では一定となる。

このような特性の補正関数  $W(f)$  の一般式は、次のように表される。

$$\begin{aligned}
 W(f) &= 1 + A_1 \{ \exp [ - ( (f - f_1') / B_1 )^2 ] \} / 2 \\
 &\quad + A_1 \{ \exp [ - ( (f + f_1') / B_1 )^2 ] \} / 2 \\
 &\quad + A_2 \{ \exp [ - ( (f - f_2') / B_2 )^2 ] \} / 2 \\
 &\quad + A_2 \{ \exp [ - ( (f + f_2') / B_2 )^2 ] \} / 2 \\
 &\quad + A_3 \{ \exp [ - ( (f - f_3') / B_3 )^2 ] \} / 2 \\
 &\quad + A_3 \{ \exp [ - ( (f + f_3') / B_3 )^2 ] \} / 2
 \end{aligned}$$

この補正関数  $W(f)$  と前記伝達関数  $H(f)$  との積算によって得られる補正伝達関数  $H(f)'$  の絶対値の平方  $|H(f)'|^2$  は、図 15 に示すように、理想的な電力スペクトル密度分布特性  $S_y(f)$  にさらによく近似する。

したがって、インパルス応答演算手段 26 において、前記した伝達関数  $H(f)$  のインパルス応答  $h(t)$  と、この補

正関数  $W(f)$  のインパルス応答  $w(t)$  および窓関数  $g(t)$  とを用いて、

$$h'(t) = \{h(t) * w(t)\} \cdot g(t)$$

の演算を行ってタップ係数を求める。

そして、このタップ係数を用いて畳込み演算を行うようにすれば、図16に示すように、クロック信号CK1のTDEV特性M2''を、規定のTDEVマスクM2にさらに近似させることができ、より確度の高い測定が可能となる。

また、前記説明では、白色雑音信号  $n(k)$  とタップ係数  $h(t_0 + rT)$  とをメモリ27およびシフトレジスタ50から読み出して畳込み演算を行うようにしている。

しかるに、前記したように、雑音発生手段25として擬似ランダム信号を逆順に発生できるものを用いることにより、前記シフトレジスタ50を用いることなく、畳込み演算を行うことができる。

また、この逆順が可能な雑音発生手段25を用いるとともに、インパルス応答演算手段26がタップ係数を指定した順に算出するように構成しておけば、メモリ27およびシフトレジスタ50を用いることなく、畳込み演算を行うことができる。

これにより、メモリを大幅に節約でき、装置のハードウェア構成を簡素化することができる。

ここで、擬似ランダム信号を正順と逆順で発生する雑音発生手段25は、正順の生成多項式に対する相反多項式を用いることで実現できる。

以下、この原理を擬似ランダム信号の符号周期が短いもので説明する。

例えば、正順の生成多項式  $p(x)$  が次式、

$$p(x) = x^4 + x + 1$$

とすると、その相反多項式  $q(x)$  は次式のようにになる。

$$\begin{aligned} q(x) &= x^4 p(x^{-1}) \\ &= x^{4-4} + x^{4-1} x^4 \\ &= x^4 + x^3 + 1 \end{aligned}$$

図17は、このような生成多項式  $p(x)$  と相反多項式  $q(x)$  とを用いた雑音発生手段25の例を示している。

この雑音発生手段25は、4段のシフトレジスタ25aと、シフトレジスタ25aの3段目 ( $x^1$ ) と4段目 ( $x^0$ ) の出力の排他的論理和をとる正順用のEXOR回路25bと、シフトレジスタ25aの1段目 ( $x^3$ ) と4段目 ( $x^0$ ) の出力の排他的論理和をとる逆順用のEXOR回路25dと、EXOR回路25aとEXOR回路25dの出力を選択的に1段目に戻すスイッチ25eとによって構成されている。

なお、図示しない制御回路によってスイッチ25eの切り換えとクロック信号CK4'の入力がなされる。

この雑音発生手段25において、初期値として全段に1を設定してからスイッチ25eを正順側に接続してクロック信号CK4'を入力したときには、図18Aに示すように、シフトレジスタ25aの内部状態が状態1～状態15まで遷移して再び状態1に戻るといった動作が繰り返される。

また、初期値として全段に1を設定してからスイッチ25eを逆順側に接続して、クロック信号CK4'を入力したときには、図18Bに示すように、シフトレジスタ25aの内部状態が状態1～状態15まで遷移して再び状態1に戻るといった動作が繰り返される。

ここで、正順の場合の状態1から状態15までの1段目の出力データは、

(100010011010111)

の順に変化する。

また、逆順の場合の状態1～状態15までの1段目の出力データは、

(101011001000111)

の順に変化する。

この1段目同士の出力データを比較すると、正順の出力データは、逆順の出力データの第13ビット目から第1ビット目まで戻り、第15ビット目、第14ビット目に移った場合と一致する。

すなわち、正順の場合の1段目のデータが、図19Aに示すように、

d1→d2→d3→…→d13→d14→d15→d1→

...

と繰り返す。

これに対し、逆順の場合の1段目のデータは、図19Bに示すように、

$d\ 1\ 3 \rightarrow d\ 1\ 2 \rightarrow d\ 1\ 1 \rightarrow \dots \rightarrow d\ 1 \rightarrow d\ 1\ 5 \rightarrow d\ 1\ 4 \rightarrow d\ 1\ 3 \rightarrow \dots$

と繰り返す。

したがって、スイッチ25eを正順側に接続してクロックCK4'を入力したときの1段目の出力データ列に対して、スイッチ25eを逆順側に接続してクロックCK4'を入力したときの1段目の出力データ列は、逆の順に出力されることになる。

ただし、図20に示す状態対応図に示すように、逆順の場合のシフトレジスタ25aの状態変化は、正順のときの逆になっていないので、データを正順で出力していた状態からスイッチ25eを逆順側に単純に切り換えただけでは、データの連続性を維持することはできない。

このデータの連続性を維持するためには、図19A、Bに示すデータの位置関係と、図20に示す状態対応情報とを用いることにより、シフトレジスタ25aの状態を設定する必要がある。

例えば、正順で状態4までシフトしてEXOR回路25bからデータd5を出力している状態から、 $d\ 4 \rightarrow d\ 3 \rightarrow d\ 2 \rightarrow \dots$ の順にデータを逆順に出力する場合について考える。

すなわち、逆順でEXOR回路25dからデータd5が出



力されるのは逆順の状態 8 のときであるから、この状態 8 より一つ進んだ状態 9 から逆順でデータを出力すれば、 $d_4 \rightarrow d_3 \rightarrow d_2 \rightarrow \dots$  の順にデータを出力することができる。

ここで、正順の状態 4 から逆順の状態 9 に移行する方法は 2 通りある。

その一つの方法は、逆順の状態 9 が正順の状態 8 と等しいことを利用する方法である。

すなわち、この方法は、図 18 A, B で実線の矢印で示しているように、正順のままでクロック信号  $CK_4'$  を与えて状態 4 から状態 8 まで進めて（この際雑音発生手段 25 から出力されるデータを  $d_5$  のままに保持しておく）、逆順の状態 9 にしてからスイッチ 25 e を逆順側に切り換える方法である。

また、もう一つの方法は、正順の状態 4 が逆順の状態 12 と等しいことを利用する方法である。

すなわち、この方法は、図 18 A, B で一点鎖線の矢印で示しているように、正順の状態 4 からスイッチ 25 e を逆順側に切り換え、クロック信号  $CK_4'$  を与えて逆順の状態 12 から状態 9 まで進める（この際雑音発生手段 25 から出力されるデータを  $d_5$  のままに保持しておく）方法である。

このように、スイッチ 25 e の切り換えとクロック信号  $CK'$  の供給を制御することにより、正順の任意の状態から逆順にデータを出力することができる。

また、詳述しないが、前記方法と逆の制御を行うことにより、逆順の任意の状態から正順にデータを出力することもで

きる。

上記説明は理解しやすいように符号周期が短い場合で説明したが、上記した相反多項式を利用した正逆自在の雑音発生手段25は、符号周期が長いものについても全く同様に構成できる。

例えば、正順の生成多項式  $p(x)$  が次式、

$$p(x) = x^{96} + x^7 + x^6 + x^4 + x^3 + x^2 + 1$$

の場合、その相反多項式  $q(x)$  は次式のようにになる。

$$q(x) = x^{96} p(x^{-1})$$

$$= 1 + x^{96-7} + x^{96-6} x^{96-4} + x^{96-3} + x^{96-2} + x^{96}$$

$$= x^{96} + x^{94} + x^{93} + x^{92} + x^{90} + x^{89} + 1$$

図21は、このような生成多項式  $p(x)$  と相反多項式  $q(x)$  とを用いた擬似ランダム信号発生回路を示している。

この擬似ランダム信号発生回路は、96段のシフトレジスタ25aと、シフトレジスタ25aの最終段から数えて1段目 ( $x^0$ )、3～5段目 ( $x^2 \sim x^4$ )、7段目 ( $x^6$ )

および8段目 ( $x^7$ ) の出力の排他的論理和をとる正順用の

EXOR回路25bと、最終段から数えて1段目 ( $x^0$ )、

90 段目 ( $x^{89}$ )、91 段目 ( $x^{90}$ ) および 93 ~ 95 段目 ( $x^{929} \sim x^{94}$ ) の出力の排他的論理和をとる逆順用の EXOR 回路 25 d と、EXOR 回路 25 b と EXOR 回路 25 d の出力を選択的に初段に戻すスイッチ 25 e とによって構成されている。

なお、この図 21 の回路においても、前記と同様に図示しない制御回路によってスイッチ 25 e の切り換えとクロック信号 CK 4' の供給制御がなされる。

また、この図 21 の回路においても、前記の符号周期の短い場合と同様に、スイッチ 25 e を正順側に接続してクロック CK 4' を入力したときの出力データ列に対して、スイッチ 25 e を逆順側に接続してクロック CK 4' を入力したときの出力データ列は逆の順に出力される。

また、スイッチ 25 e の切り換えとクロック信号 CK' の供給を前記同様にデータの位置関係と状態対応図に基づいて制御することにより、正順（または逆順）の任意の状態から逆順（または正順）に連続したデータを出力することができる。

なお、上記説明では、シフトレジスタ 25 a の初段の出力について説明したが、他の段の出力についても正順と逆順の関係が得られるので、任意の段からデータを出力するようにしてもよい。

ただし、異なる 2 つ以上の段から出力される並列データに

ついては上記関係が成立しない。

したがって、上記した正逆自在の擬似ランダム信号発生回路は、図7に示したように、複数 $m$ の擬似ランダム信号発生回路から1ビットずつデータを出力して $m$ ビット並列の白色雑音信号を出力する雑音発生手段25の各擬似ランダム信号発生回路に適用される。

このように、雑音発生手段25として白色雑音信号 $n(k)$ を逆順に発生できるものを用いれば、 $k$ 番目の白色雑音信号 $n(k)$ を生成した後に、それより前の $N-1$ 個の雑音信号 $n(k-1) \sim n(k-N+1)$ までを順番に発生することができる。

すなわち、この場合には、前記メモリ50を用いなくても前記畳込み演算

$$\begin{aligned} y(k) = & n(k) h(t_0) \\ & + n(k-1) h(t_0 + T) \\ & + n(k-2) h(t_0 + 2T) \\ & \dots\dots \\ & + n(k-N+1) h[t_0 + (N-1)T] \end{aligned}$$

を行うことができる。

また、この雑音信号の出力に合わせて、インパルス応答演算手段26がタップ係数を $h(t_0) \sim h[t_0 + (N-1)T]$ の順に算出すれば、メモリ27も不要となり、1組の積和演算回路で前記畳込み演算を行うことができる。

また、前記したように、浮動小数点のアンダーフローによる誤差を防止するために畳込み演算を前記第1の方法で行う

ことができる。

すなわち、 $t$  が正の範囲の積和演算と  $t$  が負の範囲の積和演算とをそれぞれ独立に 0 から遠い方から順番に行う場合には、例えば、先に逆順動作で雑音信号  $n(k) \sim n(k - N/2 + 1)$  までは発生して  $y_-(k)$  を求める。

次に、正順動作で  $n(k - N + 1) \sim n(k - N/2)$  までは発生して  $y_+(k)$  を求めてから両者を加算する。

これによって、前記シフトレジスタ 50 を用いなくても揺らぎ信号列  $y(k)$  を求めることができる。

この場合でも、この雑音信号列の出力に合わせて、インパルス応答演算手段 26 が、タップ係数を  $h(t_0) \sim h[t_0 + (N/2 - 1)T]$  の順および  $[t_0 + (N - 1)T] \sim h[t_0 + (N/2)T]$  の順に算出すれば、メモリ 27 も不要となり、1 組の積和演算回路で前記畳込み演算を行うことができる。

なお、前記説明では、規定の TDEV 特性として図 24B に示す TDEV マスク M2 のような特性のワンダを有するクロック信号を発生する場合について説明したが、これは本発明を限定するものでない。

例えば、図 24A に示す TDEV マスク M1 のような特性のワンダを有するクロック信号を発生する場合には、この TDEV マスク M1 の特性情報、そのマスクに対応する電力スペクトル密度分布、伝達関数  $H(f)$ 、補正関数  $W(f)$  を用いて前記同様のフィルタリング処理を行えばよい。

また、TDEV マスクは、上記したものだけでなく、折れ

曲がり部が3箇所以上あるものや、傾きが異なるものなどがある。

これらのTDEVマスクについても、前記と同様に、そのマスクに対応する電力スペクトル密度分布、伝達関数 $H(f)$ および補正関数 $W(f)$ を用いて前記同様のフィルタリング処理を行えばよい。

また、前記ワンド発生装置21では、揺らぎ信号 $y(k)$ を直接加算器29に入力している。

しかるに、図22に示すワンド発生装置21'のように、揺らぎ信号列発生部24から出力された揺らぎ信号 $y(k)$ と、レベル設定手段32によって設定された設定値 $B$ とを乗算器33で乗算し、その乗算結果 $y(k)'$ を加算器29に出力するように構成して、揺らぎ信号のレベルを可変できるようにしてもよい。

以上のように、この実施形態のワンド発生装置21は、所望のタイムデビエーション特性の特性情報に基づいて、そのタイムデビエーション特性に対応する周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列 $y(k)$ を発生し、この揺らぎ信号列 $y(k)$ と出力するクロック信号の中心周波数を決めるデータ $Y0$ とを加算器29で加算し、その加算結果に対応した周波数の信号をDDS30から出力させ、このDDS30の出力信号を波形整形してクロック信号 $CK1$ を出力するようにしている。

このため、この実施形態のワンド発生装置21によれば、所望のタイムデビエーション特性を満足するワンドを有する

クロック信号CK1を容易に発生することができる。

また、この実施形態のワンド発生装置21は、揺らぎ信号列発生部24を、擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段25と、特性情報設定手段22によって設定された特性情報に基づいて、雑音発生手段25から出力された白色雑音信号の電力スペクトル密度分布を、所望のタイムデビエーション特性に対応した周波数変動の電力スペクトル密度分布特性 $S_y(f)$ に近似させるための伝達関数のインパルス応答を演算するインパルス応答演算手段26と、インパルス応答演算手段26の演算結果と雑音発生手段25から出力される白色雑音信号との畳込み演算を行い、電力スペクトル密度分布特性 $S_y(f)$ を有する揺らぎ信号列 $y(k)$ を発生する畳込み演算手段28とによって構成している。

このように、この実施形態のワンド発生装置21は、デジタル的に揺らぎ信号列 $y(k)$ を生成しているので、所望のタイムデビエーション特性を満足するワンドを有するクロック信号CK1を精度よく発生することができる。

また、インパルス応答演算手段26が、周波数変動の電力スペクトル密度分布特性 $S_y(f)$ と伝達関数との誤差分に対応する補正関数 $W(f)$ によってインパルス応答を補正しているものでは、所望のタイムデビエーション特性を満足するワンドを有するクロック信号CK1をさらに精度よく発生することができる。

また、畳込み演算手段28が、インパルス応答の演算結果

の絶対値が小さい方の積和演算を優先的に行うようにしたもので、浮動小数点演算の際の誤差を少なくすることができるので、所望のタイムデビエーション特性を満足するワンドを有するクロック信号CK1をさらに精度よく発生することができる。

また、インパルス応答演算手段26が、雑音発生手段25から白色雑音信号が出力される毎にインパルス応答の演算を毎回行うように構成され、畳込み演算手段28が、インパルス応答演算手段26によって毎回算出される演算結果を用いて畳込み演算を行うようにしたものである、メモリを節約でき、装置のハードウェア構成を簡素化することができる。

また、雑音発生手段25が、それぞれ異なる初期位相でM系列の擬似ランダム符号を発生する複数(m)組の擬似ランダム信号発生手段を有し、各擬似ランダム信号発生手段の所定段の出力をまとめてmビット並列の白色雑音信号として出力するように構成されたものでは、その白色雑音信号を理想の白色雑音に極めて近いものにすることができ、所望のタイムデビエーション特性を満足するワンドを有するクロック信号をさらに精度よく発生することができる。

前記実施形態のワンド発生装置21の揺らぎ信号列発生部24は、所望のタイムデビエーション特性に対応した周波数変動の電力スペクトル密度分布特性 $S_y(f)$ に相当する伝達関数のインパルス応答を演算し、この演算結果と白色雑音信号との畳込み演算を行うことによって、電力スペクトル密度分布特性 $S_y(f)$ を有する揺らぎ信号列 $y(k)$ を発生



している。

このような揺らぎ信号列発生部 24 の代わりに、図 23 に示す揺らぎ信号列発生部 24' を用いることもできる。

この揺らぎ信号列発生部 24' は、前記した雑音発生手段 25 と、データ振分手段 51 と、重み付け手段 54 と、合成手段 56 とによって構成されている。

そして、この揺らぎ信号列発生部 24' は、所望の TDEV 特性に対応した周波数変動の電力スペクトル密度分布特性  $S_y(f)$  の周波数範囲を複数の帯域に分割して、雑音発生手段 25 から出力される白色雑音信号をデータ振分手段 51 によって各帯域に応じたレートで振り分け、重み付け手段 54 によって各帯域毎の電力スペクトル密度に対応した重み付けをし、合成手段 56 によって合成することによって、電力スペクトル密度分布特性  $S_y(f)$  を有する揺らぎ信号列  $y(k)$  を生成している。

ここで、TDEV マスク M2 に対応した電力スペクトル密度分布特性  $S_y(f)$  の周波数範囲を複数の帯域に分ける場合について説明する。

この特性  $S_y(f)$  は、周波数が 0.01 Hz 以下で一定であり、周波数が 0.01 Hz ~ 10 Hz の範囲で  $1/f$  または  $f$  に比例して変化する。

したがって、周波数が 0.01 Hz ~ 10 Hz をカバーする範囲に各帯域の境界がくるようにし、また各帯域の幅が 2 倍ずつ大きくなるように分割する。

例えば、最も高い境界周波数  $f_{c1}$  を 16 Hz とすると、

高い方から2番目の境界周波数  $f_{c2}$  が  $8\text{ Hz}$ 、3番目の境界周波数  $f_{c3}$  が  $4\text{ Hz}$  となり、同様にして、11番目の境界周波数  $f_{c11}$  は  $1/64\text{ Hz}$ 、12番目の境界周波数  $f_{c12}$  は  $1/128\text{ Hz}$  ( $0.0078\text{ Hz}$ ) となる。

したがって、12個の境界周波数  $f_{c1} \sim f_{c12}$  で13個の帯域に分けるようにすればよい。

そこで、雑音発生手段25からは最高の境界周波数  $f_{c1}$  の2倍 ( $32\text{ Hz}$ ) のレートで白色雑音信号  $n(k)$  を発生させ。

そして、データ振分手段51は、この白色雑音信号  $n(k)$  を上記各帯域の周波数に応じてレートが  $1/2$  ずつ低くなるように13の信号経路に振り分ける。

このデータ振分手段51は、例えば、図24に示すように、入力信号の立ち下がりで出力が立ち上がる直列に接続された13個の  $1/2$  分周器  $52_1 \sim 52_{13}$  と、各  $1/2$  分周器  $52_1 \sim 52_{13}$  の分周出力の立ち上がりで雑音信号  $n(k)$  をラッチする13個のラッチ回路  $53_1 \sim 53_{13}$  とで構成されている。

そして、雑音信号  $n(k)$  と同期したクロック信号  $CK_n$  が初段の  $1/2$  分周器  $52_1$  に入力される。

したがって、雑音発生手段25から、例えば、図25Aに示すようなクロック信号  $CK_n$  に同期した雑音信号  $n(k)$  が  $n(1)$ 、 $n(2)$ 、…の順に出力されると、図25Cに示すように、クロック信号  $CK_n$  の立ち下がりで立ち上がる  $1/2$  分周信号がラッチ回路  $53_1$  に入力される。

このため、ラッチ回路  $53_1$  からは図 25 D に示すように、奇数番目の雑音信号  $n1$  [ $n(1)$ 、 $n(3)$ 、 $n(5)$ 、 $\dots$ 、 $n(1+2i)$ 、 $\dots$ ] がクロック信号  $CKn$  の  $1/2$  のレート ( $16\text{ Hz}$ ) で出力される。

また、ラッチ回路  $53_2$  には、図 25 E に示すように、 $1/2$  分周信号の立ち下がりに同期して立ち上がる  $1/4$  分周信号が入力される。

このため、ラッチ回路  $53_2$  からは、図 25 F に示すように、 $n(2)$  から 4 個間隔の雑音信号  $n2$  [ $n(2)$ 、 $n(6)$ 、 $n(10)$ 、 $\dots$ 、 $n(2+4i)$ 、 $\dots$ ] がクロック信号  $CKn$  の  $1/4$  のレート ( $8\text{ Hz}$ ) で出力される。

また、ラッチ回路  $53_3$  には、図 25 G に示すように、 $1/4$  分周信号の立ち下がりに同期して立ち上がる  $1/8$  分周信号が入力される。

このため、ラッチ回路  $53_3$  からは、図 25 H に示すように  $n(4)$  から 8 個間隔の雑音信号  $n3$  [ $n(4)$ 、 $n(12)$ 、 $n(20)$ 、 $\dots$ 、 $n(4+8i)$ 、 $\dots$ ] がクロック信号  $CKn$  の  $1/8$  のレート ( $4\text{ Hz}$ ) で出力される。

以下同様に、各ラッチ回路  $53_4 \sim 53_{13}$  からは、雑音発生手段 25 から出力された雑音信号について、 $16$  個間隔、 $32$  個間隔、 $\dots$ 、 $213$  個間隔の雑音信号  $n4$ 、 $n5$ 、 $\dots$ 、 $n13$  が、クロック信号  $CKn$  の  $1/16$ 、 $1/32$ 、 $\dots$ 、 $1/213$  のレートでそれぞれ出力されることになる。

この各レートの雑音信号  $n1 \sim n13$  は、図 24 に示しているように、重み付け手段 54 の  $13$  個の乗算器  $55_1 \sim 5$

5<sub>13</sub>に入力され、それぞれ重み付けの係数 $\sigma_1 \sim \sigma_{13}$ が乗算される。

この重み付けの係数 $\sigma_1 \sim \sigma_{13}$ は、上記境界周波数 $f_{c1} \sim f_{c12}$ で分割される電力スペクトル密度分布特性 $S_y(f)$ の各帯域のスペクトルの大きさの平方根に比例した値であり、特性情報設定手段23から設定される。

ここで、例えば、特性情報設定手段23は、図26に示すように最も低い帯域（1 / 128 Hz 以下）のスペクトルのレベルに対応した係数 $\sigma_{13}$ を基準値1とし、他の重み付け係数 $\sigma_1 \sim \sigma_{12}$ を電力スペクトル密度分布特性 $S_y(f)$ に合わせて以下のように設定する。

$$\sigma_{12}^2 = 1$$

$$\sigma_{11}^2 = 1 / 2$$

$$\sigma_{10}^2 = 1 / 4$$

$$\sigma_9^2 = 1 / 8$$

$$\sigma_8^2 = 1 / 16$$

$$\sigma_7^2 = 1 / 8$$

$$\sigma_6^2 = 1 / 4$$

$$\sigma_5^2 = 1/2$$

$$\sigma_4^2 = 1$$

$$\sigma_3^2 = 2$$

$$\sigma_2^2 = 4$$

$$\sigma_1^2 = 8$$

このようにして重み付けされた雑音信号  $n_{1'1} \sim n_{1'3}$  は、合成手段 56 に入力される。

この合成手段 56 は、図 27 に示すようにカスケード接続された 12 個のポリフェーズ型のサブバンド合成器 (QMF 合成器)  $57_1 \sim 57_{12}$  によって構成されている。

ここで、各サブバンド合成器  $57_1 \sim 57_{12}$  は、カットオフ周波数  $f_c$  が等しいハイパスフィルタとローパスフィルタ (ともにデジタルフィルタ) の出力を合成して出力するものである。

そして、各サブバンド合成器  $57_1 \sim 57_{12}$  のカットオフ周波数は、前記電力スペクトル密度分布特性  $S_y(f)$  の周波数範囲を分割する境界周波数  $f_{c1} \sim f_{c12}$  に一致している。

この合成手段 56 は、図 28 に示すように、各雑音信号  $n_{1'1} \sim n_{1'3}$  を合成する。

すなわち、カットオフ周波数が最も低いサブバンド合成器  $57_{12}$  は、雑音信号  $n13'$  の高域と雑音信号  $n12'$  の低域を周波数  $fc12$  でカットして合成した成分をサブバンド合成器  $57_{11}$  に入力する。

このサブバンド合成器  $57_{11}$  は、サブバンド合成器  $57_{12}$  の出力の高域と雑音信号  $n11'$  の低域を周波数  $fc11$  でカットして合成した成分をサブバンド合成器  $54_{10}$  に入力する。

以下同様にして、各レートの重み付けされた雑音信号がレートの高い方から合成される結果、サブバンド合成器  $57_1$  からは前記周波数変動の電力スペクトル密度分布特性  $S_y(f)$  に沿った特性の揺らぎ信号列  $y(k)$  が得られる。

この揺らぎ信号列  $y(k)$  は、前記と同様にして加算器  $29$  に入力されて、中心周波数を決めるデータ  $Y0$  と加算される。

その加算結果  $u(k)$  が  $DD S30$  に入力されることによって、前記  $TDEV$  マスク  $M2$  のクロック信号を発生することができる。

図  $29$  に示す特性  $M$  は、上記揺らぎ信号列発生部  $24'$  を用いて生成したクロック信号の  $TDEV$  特性であり、 $TDEV$  マスク  $M2$  に極めて近似した特性が得られている。

なお、ここでは  $TDEV$  マスク  $M2$  に対応した電力スペクトル密度分布特性  $S_y(f)$  の揺らぎ信号を発生する場合について説明している。

しかるに、この揺らぎ信号発生部  $24'$  では、分割帯域や

重み付けの係数を任意に設定することにより、任意の電力スペクトル密度分布の揺らぎ信号列を発生できる。

また、この揺らぎ信号列発生部 24' のデータ振分手段 51 として、図 30 に示すように、前記合成手段 56 の各サブバンド合成器  $57_1 \sim 57_{12}$  とは逆に、入力信号を等しいカットオフ周波数のハイパスフィルタとローパスフィルタとで分波するサブバンド分波器  $58_1 \sim 58_{12}$  を各サブバンド合成器  $57_1 \sim 57_{12}$  と対称にカスケードに接続することにより、前記したようにレート異なる雑音信号  $n_1 \sim n_{13}$  を並列に出力するようにしてもよい。

この場合、各サブバンド分波器  $58_1 \sim 58_{12}$  のカットオフ周波数は、サブバンド合成器  $57_1 \sim 57_{12}$  のカットオフ周波数と同一に設定する。

このようにして、電力スペクトル密度分布特性  $S_y(f)$  の周波数範囲を複数に分割する帯域の周波数に応じたレートで雑音信号を並列に出力して、各帯域毎の電力スペクトル密度に応じた重み付けを行って合成することによって、揺らぎ信号列が発生される。

これによって、任意の電力スペクトル密度分布特性の揺らぎ信号を発生することができるので、インパルス応答の演算が困難な複雑な TDEV マスク特性のクロック信号を容易に発生することができる。

なお、この場合も雑音発生手段 25 として、前記したように、それぞれ異なる初期位相で M 系列の擬似ランダム符号を発生する複数 (m) 組の擬似ランダム信号発生手段を有し、

各擬似ランダム信号発生手段の所定段の出力をまとめてmビット並列の白色雑音信号として出力するように構成されたものを用いるようにしてもよい。

これによって、その白色雑音信号を理想の白色雑音に極めて近いものにすることができ、所望のタイムデビエーション特性を満足するワンダを有するクロック信号をさらに精度よく発生することができる。

また、上記揺らぎ信号列発生部24'は、雑音発生手段25から出力される信号列に対してデータ振分手段51、重み付け手段54および合成手段56によるフィルタリング処理を行っており、その処理結果のスペクトラム特性を決める重み付け係数 $\sigma_1 \sim \sigma_{12}$ を特性情報設定手段23から設定するようにしている。

したがって、このデータ振分手段51、重み付け手段54および合成手段56は、前述した(1)、(5)の発明のフィルタ部に相当している。

また、特性情報設定手段23は、前述した(1)、(5)の発明の設定手段に相当している。

このように、この実施形態のワンダ発生装置21は、所定のアルゴリズムにしたがって、複数ビットで構成される乱数の信号を一定速度で順次発生する乱数信号発生手段と、乱数信号発生手段から出力される乱数の信号列を受けてフィルタリング処理を行うフィルタ部と、クロック信号を発生するクロック発生手段と、クロック発生手段が発生するクロック信号の周波数をフィルタ部から出力される信号によって変調す



る変調手段と、変調手段によって周波数が変調されたクロック信号のワンダの特性が所望特性となるように、フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する制御信号をフィルタ部に与える設定手段とを備えているので、所望のワンダ特性のクロック信号を容易に発生することができる。

また、この実施形態のデジタル回線試験装置20は、規定のタイムデビエーション特性を満足するワンダを有するクロック信号CK1を発生するためのワンダ発生装置21と、ワンダ発生装置21から出力されたクロック信号CK1に同期したデジタル信号を試験対象のデジタル回線1に送出する送信部40と、試験対象のデジタル回線から折り返されたデジタル信号を受信するとともに、この受信したデジタル信号のクロック信号を再生する受信部41と、受信部41が受信したデジタル信号の誤り測定を行う誤り測定部42と、前記受信部41によって再生されたクロック信号CK1'のタイムデビエーション特性を測定するタイムデビエーション測定部43と、表示装置47と、誤り測定部42の測定結果を表示装置47に表示するとともに、タイムデビエーション測定部43で測定されたタイムデビエーション特性を規定のタイムデビエーション特性と対比できるように表示装置47に表示する表示制御手段46とを備えている。

このため、この実施形態のデジタル回線試験装置20によれば、試験対象のデジタル回線1のワンダに関する評価を容易に且つ効率的に行うことができるとともに、ディジタ

ル回線 1 によるワンドの変化を表示画面上で容易に比較することができる。

また、この実施形態のデジタル回線試験装置 20 は、ワンド発生部を構成するワンド発生装置 21 が前記したように構成されているので、所望のタイムデビエーション特性を満足するワンドを有するクロック信号 CK1 に同期したデジタル信号を試験対象のデジタル回線 1 に送出することができるので、デジタル回線 1 の評価を正しく行うことができるとともに、装置を小型化することができる。

次に、上記のように、雑音信号列に対しフィルタ部でデジタル的なフィルタリング処理を行い、その出力信号によって周波数が変調されたクロック信号を出力するワンド発生装置において、装置の起動時や特性の切り換え時に、所望特性のワンドを有するクロック信号を速やかに出力させるとともに、出力するクロック信号のワンドの特性やそのクロック信号を変調している信号の特性を事前に把握できるようにするための技術について説明する。

すなわち、上記のように、前記畳込み演算手段 28 あるいはデータ振分手段 51、重み付け手段 54、合成手段 56 によるフィルタリング処理は、入力される信号列を内部の複数の記憶素子に順次シフトしながら記憶するとともに、各記憶素子の記憶内容と各記憶素子に対応した係数との積和演算を行うことにより、その演算結果を順次出力する処理を含んでいる。

したがって、前記したように任意の周波数特性を得るため

には、設定できる周波数分解能を高くする必要がある。

そのためには、フィルタ次数を大きくする、すなわち、内部の記憶素子の数を多くしなければならない。

このように記憶素子の数を多くした場合には、動作初期時や特性の切り換え時に、所望のワンダ特性の信号が出力されるまでの時間が非常に長くなる。

また、このように出力するクロック信号のワンダの特性を任意に可変できるようにした場合、実際に出力されるクロック信号のTDEV特性がどのような特性であるかを予め確認できないと不便である。

これを解決するために、実際に出力されるクロック信号や雑音信号を測定することによって、その測定結果を表示することも考えられる。

しかるに、このようにクロック信号や雑音信号を実際に測定する方法では、ワンダ発生装置としての構成が複雑化するとともに、測定する特性の内容によっては測定が完了するまで非常に時間（数時間～数十日）がかかってしまうので、実現が困難である。

そこで、次に、所望特性のワンダを有するクロック信号を速やかに発生することができるとともに、実際に出力するクロック信号のワンダの特性やそのクロック信号を変調している信号の特性を容易に把握することができるようにしたワンダ発生装置の詳細について説明する。

図31は、上記問題を解決するためになされたワンダ発生装置に含まれる雑音発生装置120の構成を示している。

この雑音発生装置 120 の白色雑音発生手段 121 は、デジタルの白色性の雑音信号  $n(k)$  を所定レートで出力する。

この白色雑音発生手段 121 は、例えば、図 32 に示すように、複数  $N$  (例えば、 $N=12$ ) の擬似ランダム信号発生器 122 (1) ~ 122 ( $N$ ) からクロック信号  $CK_n$  に同期してシリアル出力される各  $K$  ビットのランダム信号を加算回路 124 で加算して  $K + \lceil \log_2 N \rceil$  ビットとした白色雑音信号  $n(k)$  を出力する。

ここで、上記の括弧記号  $\lceil \rceil$  は、小数を切り上げた整数値を表す。

これら複数  $N$  の擬似ランダム信号発生器 122 (1) ~ 122 ( $N$ ) は、同一の  $S$  段シフトレジスタから生成される符号周期  $(2S-1)$  の擬似ランダム信号を発生する。

しかるに、その出力の相関ピークが離間するように、複数  $N$  の擬似ランダム信号発生器 122 (1) ~ 122 ( $N$ ) は、制御回路 123 によって出力符号の位相が大きく異なるように初期設定され、 $n(1)$ 、 $n(2)$ 、 $\dots$ 、 $n(2S-2)$ 、 $n(2S-1)$  までの雑音信号を 1 周期として、これを繰り返し出力する。

このように、複数の擬似ランダム信号を加算して生成される白色雑音信号の瞬時値は、ガウス分布特性に近似する。

ここで、制御回路 123 は、後述の初期設定手段 131 からの雑音信号出力指示を受けて、擬似ランダム信号発生器 122 (1) ~ 122 ( $N$ ) を初期化してクロック信号  $CK_n$

を出力する。

また、白色雑音発生手段 1 2 1 から出力された雑音信号  $n(k)$  は、フィルタ部 1 2 5 に入力される。

このフィルタ部 1 2 5 は、デジタル信号列を内部の複数の記憶素子に順次シフトしながら記憶し、その複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有している。

そして、このフィルタ部 1 2 5 は、白色雑音発生手段 1 2 1 から出力された雑音信号  $n(k)$  を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力する。

ここで、例えば、フィルタ部 1 2 5 が、図 3 3 に示すような F I R 型のデジタルフィルタ 1 2 6 によって構成されている場合について説明する。

このデジタルフィルタ 1 2 6 は、入力データを順次後段へシフトしながら記憶する複数 M 段直列の記憶素子（遅延素子ともいう）1 2 7 (1) ~ 1 2 7 (M) と、初段の記憶素子 1 2 7 (1) の入力データおよび各記憶素子 1 2 7 (1) ~ 1 2 7 (M) の出力データに対してフィルタ係数（この実施形態の特性係数） $h_0 \sim h_M$  をそれぞれ乗算する乗算器 1 2 8 (1) ~ 1 2 8 (M+1) と、乗算器 1 2 8 (1) ~ 1 2 8 (M+1) の出力の総和を求める加算器 1 2 9 とによって構成されている。

各記憶素子 1 2 7 (1) ~ 1 2 7 (M) は雑音信号  $n(k)$  をそのクロック信号  $CK_n$  に同期して順次シフトさせる。

また、各記憶素子 1 2 7 (1) ~ 1 2 7 (M) は、後述の

初期設定手段131から任意の値 $D(1) \sim D(M)$ をセットできるようになっている。

また、乗算器128(1)～128(M+1)に入力されるフィルタ係数 $h_0 \sim h_M$ は、後述の特性係数設定手段130によって設定される。

このように構成されたFIR型のデジタルフィルタ126は、入力される雑音信号 $n(k)$ をフィルタ係数 $h_0 \sim h_M$ に応じた周波数特性の雑音信号(前記揺らぎ信号列に相当)に変換して出力する。

そして、特性係数設定手段130は、フィルタ部125から出力される雑音信号 $u(k)$ の特性を決定するための特性係数(上記のようにフィルタ部125がデジタルフィルタ126のみで構成されている場合にはそのフィルタ係数)を設定するためのものであり、図示しない操作部等の操作によって任意の特性係数を設定できるようになっている。

また、初期設定手段131は、メモリ(ROM)131aを有し、フィルタ部125から特性係数に対応した周波数特性の雑音信号が出力されている状態におけるデジタルフィルタ内の各記憶素子の記憶内容と同等の雑音信号列を、前記メモリ131aの内容に基づいて求めて、少なくとも装置の動作初期時にデジタルフィルタ内の各記憶素子に初期設定する。

すなわち、初期設定手段131は、前記のようにフィルタ部125がデジタルフィルタ126のみによって構成されているような場合には、デジタルフィルタ126からフィ

ルタ係数  $h_0 \sim h_M$  に対応した周波数特性の雑音信号が出力されている状態における各記憶素子 127 (1) ~ 127 (M) の記憶内容と同等の雑音信号列を初期設定する。

ここで、白色雑音発生手段 121 が動作初期時に発生する雑音信号  $n(1)$  を既知とすれば、その雑音信号  $n(1)$  より前の  $M$  個の雑音信号  $n(2N-1)$ 、 $n(2N-2)$ 、…、 $n(2N-M)$  をそれぞれ初期値  $D(1) \sim D(M)$  としてメモリ 131a に予め記憶しておく。

そして、初期設定手段 131 は、電源投入等の動作初期時に、図 34 に示すように、デジタルフィルタ 26 の各記憶素子 127 (1) ~ 127 (M) に対して、それぞれ初期設定してから、白色雑音発生手段 121 へ雑音信号の出力を指示する。

このため、動作初期時に、フィルタ部 125 の内部の状態は直ちに定常状態と同一の状態に設定されるため、フィルタ部 125 からは、特性係数設定手段 130 から設定されたフィルタ係数  $h_0 \sim h_M$  に応じた周波数特性の雑音信号が直ちに出力される。

このフィルタ部 125 から出力される雑音信号  $u(k)$  は、乗算器 132 に入力される。

この乗算器 132 は振幅設定手段 133 によって設定された振幅係数  $A$  を雑音信号  $u(k)$  に乗算し、その乗算結果を所望特性の雑音信号  $y(k)$  として出力する。

また、特性算出手段 134 は、フィルタ部 125 に設定された特性係数および乗算器 132 に設定された振幅係数  $A$  と

に基づいて、乗算器 1 3 2 から出力される雑音信号  $y(k)$  の周波数特性や振幅等を求める。

また、特性表示手段 1 3 5 は、表示器 1 3 6 に特性算出手段 1 3 4 によって求められた雑音信号の特性をグラフや数値で表示させる。

このように構成された雑音発生装置 1 2 0 では、初期設定手段 1 3 1 によってフィルタ部 1 2 5 から特性係数に対応した周波数特性の雑音信号が出力されている状態におけるデジタルフィルタ 1 2 6 内の各記憶素子 1 2 7 (1) ~ 1 2 7 (M) の記憶内容と同等の雑音信号を、少なくとも装置の動作初期時に各記憶素子 1 2 7 (1) ~ 1 2 7 (M) に初期設定している。

このため、白色雑音発生手段 1 2 1 から M 個の雑音信号がフィルタ部 1 2 5 に取り込まれるまで待たなくても、直ちに特性係数に対応した周波数特性の雑音信号をフィルタ部 1 2 5 から出力させることができるので、この特性に合わない雑音信号の出力による測定等の影響をなくすることができる。

また、特性算出手段 1 3 4 によって、特性係数設定手段 1 3 0 からフィルタ部 1 2 5 に設定された特性係数および振幅設定手段 1 3 3 の振幅係数 A に基づいて、出力される雑音信号  $y(k)$  の特性を求め、その特性を特性表示手段 1 3 5 によって表示しているので、出力する雑音信号  $y(k)$  の特性を事前に且つ速やかに確認することができて便利である。

前記説明では、フィルタ部 1 2 5 がデジタルフィルタ 1 2 6 のみで構成されている場合について説明したが、これは



本発明を限定するものではない。

例えば、フィルタ部 125 を図 35 に示すように、分波回路 141 と、重み付け回路 143 と、ディジタルフィルタを含む合成回路 145 とで構成することも可能である。

ここで分波回路 141 は、複数  $P$  の  $1/2$  デシメート回路 142 (1) ~ 142 ( $P$ ) がカスケード接続されて構成されている。

各  $1/2$  デシメート回路 142 (1) ~ 142 ( $P$ ) は、入力データされるデータを 2 つの出力経路に交互に振り分けて、入力レートの  $1/2$  のレートで出力する回路である。

初段の  $1/2$  デシメート回路 142 ( $P$ ) は、図 36 A に示すような雑音信号  $n(1)$ 、 $n(2)$ 、 $n(3)$ 、…が入力されると、その一方の出力端子から、図 36 B に示すように、奇数番目の雑音信号  $n(1)$ 、 $n(3)$ 、 $n(5)$ 、…を出力し、他方の出力端子から偶数番目の雑音信号  $n(2)$ 、 $n(4)$ 、 $n(6)$ 、…を出力する。

この他方の出力端子から出力される雑音信号は、2 段目の  $1/2$  デシメート回路 142 ( $P-1$ ) に入力される。

この 2 段目の  $1/2$  デシメート回路 142 ( $P-1$ ) も同様に、入力された雑音信号  $n(2)$ 、 $n(4)$ 、 $n(6)$ 、…のうち、一方の出力端子から図 36 C に示すように、雑音信号  $n(2)$ 、 $n(6)$ 、 $n(10)$ 、…を出力し、他方の出力端子から雑音信号  $n(4)$ 、 $n(8)$ 、 $n(12)$ 、…を出力する。

この他方の出力端子から出力された雑音信号は、3 段目の

1/2 デシメート回路 142 (P-2) に入力される。

同様に、3 段目の 1/2 デシメート回路 142 (P-2) の一方の出力端子からは、図 36 D に示すように、雑音信号  $n(4)$ 、 $n(12)$ 、 $n(20)$ 、…が出力され、他方の出力端子からは雑音信号  $n(8)$ 、 $n(16)$ 、 $n(24)$ 、…が出力され。

同様に、4 段目の 1/2 デシメート回路 142 (P-3) の一方の出力端子からは、図 36 E に示すように、雑音信号  $n(8)$ 、 $n(24)$ 、 $n(40)$ 、…が出力され、他方の出力端子からは雑音信号  $n(16)$ 、 $n(32)$ 、 $n(56)$ 、…が出力される。

さらに各 1/2 デシメート回路 142 (P-4) ~ 142 (1) からは、出力レートが 1/2 ずつ低くなるように雑音信号が出力される。

このように、各 1/2 デシメート回路 142 (1) ~ 142 (P) の一方の出力端子から異なるレートで出力される雑音信号  $n_1$ 、 $n_2$ 、 $n_3$ 、…、 $n_{P+1}$  は、重み付け回路 143 の乗算器 144 (1) ~ 144 (P+1) にそれぞれ入力される。

この乗算器 144 (1) ~ 144 (P+1) は、入力される雑音信号  $n_1$ 、 $n_2$ 、 $n_3$ 、…、 $n_{P+1}$  に対して、それぞれ重み付け係数 (特性係数)  $\sigma_1$ 、 $\sigma_2$ 、 $\sigma_3$ 、…、 $\sigma_{P+1}$  を乗算して出力する。

このように各レートの雑音信号  $n_1$ 、 $n_2$ 、 $n_3$ 、…、 $n_{P+1}$  に対して重み付けを行うことで、このフィルタ部 125

から出力される雑音信号  $u(k)$  の周波数特性を任意に設定することができる。

例えば、図 37 に示すような重み付け（この図では  $P$  が 12）を行うことで、ワンドの評価に用いる特定の TDEV マスク特性に対応した電力スペクトル密度分布の位相揺らぎ（ワンド）をもつクロック信号を生成することができる。

この際、電力スペクトル密度分布は、 $\sigma$  の 2 乗値の分布に従う。

また、重み付けされた各レートの雑音信号  $n_1'$ 、 $n_2'$ 、 $n_3'$ 、 $\dots$ 、 $n_{P+1}'$  は、合成回路 45 のサブバンド合成器 146 (1) ~ 146 (P) にそれぞれ入力される。

ここで、各サブバンド合成器 146 (1) ~ 146 (P) は、前記した FIR 型で遮断周波数が共通の LPF（ローパスフィルタ）と HPF（ハイパスフィルタ）とを内部に備えている。

そして、各サブバンド合成器 146 (1) ~ 146 (P) は、入力される 2 つのデジタル信号に対してインターポーレーション処理を行うことにより、その一方（周波数が高い方）の入力に対して HPF で低域を遮断し、他方（周波数が低い方）の入力に対しては LPF で高域を遮断して、両フィルタの出力を合成して出力するように構成されている。

なお、各サブバンド合成器 146 (1) ~ 146 (P) の内部のフィルタの遮断周波数は、最も周波数が低いサブバンド合成器 146 (1) の内部のフィルタの遮断周波数を  $f_a$

とすると、 $2fa$ 、 $4fa$ 、 $8fa$ 、 $\dots$ 、 $2^{P-1}fa$ の順に、  
入力する雑音信号のレートに対応して2倍ずつ高くなるように  
設定されている。

このようにして、各サブバンド合成器146(1)～146(P)は、レートの低い雑音信号から順に合成するように  
接続されている。

すなわち、図38に示すように、最もレートの2つの低い  
雑音信号 $n_1'$ 、 $n_2'$ は、サブバンド合成器146(1)  
において遮断周波数 $fa$ で合成される。

その合成出力と雑音信号 $n_3'$ とがサブバンド合成器146(2)において遮断周波数 $2fa$ で合成される。

その合成出力と雑音信号 $n_4'$ とがサブバンド合成器146(3)において遮断周波数 $4fa$ で合成される。

以下同様にして、レートに低い雑音信号から順に合成されるため、サブバンド合成器146(P)からは、図38に示しているように、オクターブ幅の各帯域のレベルが重み付け係数に応じて変化する周波数特性の雑音信号 $u(k)$ が出力されることになる。

このように分波回路141、重み付け回路143および合成回路145によって構成されたフィルタ部125の場合、合成回路145の各サブバンド合成器146のフィルタの遮断周波数は固定であるので、フィルタ係数を可変制御する必要はなく、フィルタの特性を決定する重み付け係数 $\sigma_1$ 、 $\sigma_2$ 、 $\sigma_3$ 、 $\dots$ 、 $\sigma_{P+1}$ を特性係数設定手段130から設定

する。

また、合成回路 1 4 5 のフィルタ（デジタルフィルタ）内部の記憶素子に対して、初期設定手段 1 3 1 は、フィルタ部 1 2 5 から特性係数（この場合、重み付け係数）に対応した周波数特性の雑音信号が出力されている状態における各記憶素子の記憶内容と同一特性の雑音信号列を、装置の動作初期時および重み付け係数変更時に初期設定する。

ただし、この場合には、前記のように白色雑音発生手段 1 2 1 から出力される信号列を単純に代入できないので、白色雑音信号と特性係数設定手段 1 3 0 からの重み付け係数等の情報に基づいて、各フィルタの記憶素子に設定すべき初期値を算出して設定する。

すなわち、前記したように、白色雑音発生手段 1 2 1 が動作初期時に発生する雑音信号  $n(1)$  を既知とすれば、定常状態で白色雑音発生手段 1 2 1 が雑音信号  $n(1)$  を発生するときに、分波回路 1 4 1 から出力されている各雑音信号  $n_1 \sim n_{P+1}$  も既知であるとともに、合成回路 1 4 5 の各サブバンド合成器 1 4 6 のフィルタの特性（伝達関数）も既知である。

また、合成回路 1 4 5 の各サブバンド合成器 1 4 6 (1) ~ 1 4 6 (P) の内部の LPF と HPF の記憶素子を前記と同様に、ともに M 段とする。

この場合、最終段のサブバンド合成器 1 4 6 (P) のフィルタの各記憶素子に正規の M 個の雑音信号が入力されるのは、初段のサブバンド合成器 1 4 6 (1) に  $2P \cdot M$  個の雑音信

号が入力されたときである。

このときの  $i$  番目 ( $i$  は  $1 \sim P$  のいずれか) のサブバンド合成器 146 ( $i$ ) の LPF の  $m$  段目 ( $m$  は  $1 \sim M$  のいずれか) 記憶素子の記憶値  $L_i(m)$  と HPF の  $m$  段目の記憶素子の記憶値  $H_i(m)$  は、

$$L_i(m) = \sum_{j=1}^{i+1} \sigma_j \cdot x_j(m)$$

$$H_i(m) = \sum_{j=1}^{i+1} \sigma_j \cdot y_j(m)$$

と表される。

ここで、 $x_j(m)$ 、 $y_j(m)$  は、LPF と HPF の伝達関数と白色雑音発生手段 121 から出力される雑音信号から求まる定数列 (重み付け係数を 1 としたときの定数列) である。

前記したように、LPF と HPF の伝達関数と白色雑音発生手段 121 から出力される雑音信号は既知である。

したがって、定数列  $x_j(m)$ 、 $y_j(m)$  を予め求めてメモリ 131a に記憶しておき、動作初期時や重み付け係数の変更時に、上記演算によってフィルタの初期値を求めて合成回路 145 の各サブバンド合成器 146(1) ~ 146(P) に設定すれば、直ちに所望の特性の雑音信号  $u(k)$  を出力することができる。

上記の積和演算の総演算回数は、

$$M \{ (P+1)^2 + (P+1) - 2 \}$$

となり、 $M = 24$ 、 $P + 1 = 20$ の場合、10032回となり、この積和演算は短時間に終了することができる。

そして、初期設定手段131は、この演算によって得られた初期値 $L_1(1) \sim L_1(M)$ 、 $L_2(1) \sim L_2(M)$ 、 $\dots$ 、 $L_P(1) \sim L_P(M)$ 、 $H_1(1) \sim H_1(M)$ 、 $H_2(1) \sim H_2(M)$ 、 $\dots$ 、 $H_P(1) \sim H_P(M)$ を、合成回路145の各サブバンド合成器146(1)～146(P)の内部のLPFとHPFの記憶素子に設定してから、白色雑音発生手段121に雑音信号出力を指示する。

なお、この初期設定を実際に白色雑音発生手段121からの雑音信号の入力で行うとすれば、前記のように $2^P \cdot M$ 個の雑音信号を入力する必要がある、その入力レートを50Hzとすると約70時間もかかってしまう。

また、仮に初期設定中のみ入力レートを上げたとしても、合成回路145が $2^P \cdot M$ 個の雑音信号を計算するのに必要な総積和演算回数が $2M^2(2^P - 1)$ であるため、前述と同様に $M = 24$ 、 $P + 1 = 20$ とした場合、60205倍の積和演算を必要とし、長時間を要する。

このように、動作初期時や特性係数変更時にフィルタ部125のデジタルフィルタの各記憶素子に初期設定をすることにより、フィルタ部125の内部の状態は直ちに定常状態と同一の状態に設定されるため、フィルタ部125からは、

## 82

特性係数設定手段130から設定された特性係数(この場合、重み付け係数)に応じた周波数特性の雑音信号を速やかに出力させることができる。

図39は、上記した雑音発生装置120の構成を含む本発明のワンダ発生装置150の全体構成を示している。

図39において、白色雑音発生手段121、フィルタ部125、特性係数設定手段130、初期設定手段131、乗算器132および振幅設定手段133は、前記雑音発生装置120のものと同一である。

このワンダ発生装置150は、乗算器132の出力 $y(k)$ を周波数シンセサイザ151に入力している。

周波数シンセサイザ151は、例えば、DDSや位相同期ループ(PLL)発振器等で構成されており、所定の中心周波数を持ち、乗算器132の出力 $y(k)$ に応じて位相(即ち周波数)が変調されたクロック信号CKを出力する。

一方、特性算出手段134'は、特性係数設定手段130からの特性係数、振幅設定手段133の振幅係数Aおよび図示しない操作部等から設定されたパラメータに基づいて雑音信号 $y(k)$ の特性あるいはクロック信号CKのワンダの特性を求める。

例えば、10Hz以下の位相揺らぎであるワンダの評価量として、 $TIE_{rms}(\tau)$  (Root Mean Square are Time Interval Error)、 $AD_{EV}(\tau)$  (Allan Deviation)、 $MAD_{EV}(n\tau 0)$  (Modified Allan Devia



t i o n)、TDEV (n  $\tau_0$ ) (Time Dev i a t i o n) 等がある。

これらを実際にクロック信号CKに対して測定して得ようとすれば、前記したように非常に長い時間(数時間以上)かかってしまう。

そこで、このワンダ発生装置150では、特性算出手段134'において上記のワンダの特性を以下の演算を行って選択的に求めている。

$$T I E r m s (\tau)$$

$$= \{ 8 \int S_x (f) \sin^2 (\pi f \tau) d f \}^{1/2}$$

$$A D E V (\tau)$$

$$= \{ (16/\tau^2) \int S_x (f) \sin^4 (\pi f \tau) d f \}^{1/2}$$

$$M A D E V (n \tau_0)$$

$$= \{ [16/n^2 \tau_0]^2 \int [\sin^6 (\pi f \tau_0)$$

$$/ \sin^2 (\pi f \tau_0)] \cdot S_x (f) d f \}^{1/2}$$

$$(ただし、n=0, 1, 2, \dots, N)$$

$$T D E V (n \tau_0)$$

$$= \{ (16/3n^2) \int [\sin^6 (\pi f \tau_0)$$

$$/ \sin^2 (\pi f \tau_0)] \cdot S_x (f) d f \}^{1/2}$$

(ただし、 $n = 0, 1, 2, \dots, N$ )

ここで、

$$S_x(f) = f_c \left[ (\sigma_a \cdot u \cdot A) \sin(\pi f / f_s) / 2\pi f \sin(\pi f / f_c) \right]^2 \cdot |H(e^{j\pi f / f_s})|^2$$

また、記号  $\int$  は  $f = 0 \sim f = f_h$  までの積分をとるものとし、パラメータ  $f_h$  は雑音最大周波数、 $\tau$  は測定時間、 $\tau_0$  は測定サンプリング時間、 $\sigma_a$  は白色雑音の標準偏差、 $f_s$  は白色雑音発生手段 121 のサンプリング周波数、 $u$  は周波数シンセサイザ 151 を DDS で構成した場合の DDS の量子化ステップ、 $f_c$  は同 D/A コンバータのクロック周波数である。

また、 $A$  は振幅設定手段 133 からの振幅係数、 $|H(e^{j\pi f / f_s})|$  は、特性係数設定手段 131 から設定された特性係数に基づいて算出される周波数特性、 $S_x(f)$  は特性係数設定手段 131 から設定された特性係数に基づいて算出される時間誤差のパワースペクトルである。

このような演算によって得られた特性は、特性表示手段 135 によって表示器 136 に数値あるいはグラフで表示される。

しかるに上記演算は、実際のクロック信号を測定せずに、特性係数、振幅係数および前記パラメータに基づいて算出しているので、特性を短時間に求めることができる。

これにより、信号を出力させるときに、事前に、雑音信号の特性や、この雑音信号によって周波数変調されたクロック信号のワンドの特性を確認することができる。

前記実施形態では、フィルタ部125に含まれるデジタルフィルタが有限インパルス応答(FIR)型の場合について説明したが、これは本発明を限定するものでない。

すなわち、入力データを内部の複数の記憶素子にシフトしながら記憶して演算を行う構造のデジタルフィルタであればよく、例えば、無限インパルス応答(IIR)型のデジタルフィルタでも同様に適用することができる。

なお、上記ワンド発生装置150の白色雑音発生手段121は、擬似ランダム信号発生器122(1)～122(N)の内部構造で決まる所定のアルゴリズムにしたがって、複数ビットで構成される白色雑音信号 $n(k)$ をクロック信号 $C_{Kn}$ によって決まる一定速度で順次出力するものである。

したがって、この白色雑音発生手段121は、前記ワンド発生装置21、21'の雑音発生手段25と同様に、前述した(1)、(2)の発明の乱数信号発生手段に相当する。

また、フィルタ部125は、白色雑音発生手段121から出力される信号列に対するフィルタリング処理を行うものである。

したがって、このフィルタ部125は、前記ワンド発生装置21、21'の畳込み演算手段28やデータ振分手段51、重み付け手段54、合成手段56と同様に、前述した(1)、(3)、(4)、(5)の発明のフィルタ部に相当している。

また、周波数シンセサイザ 151 は、フィルタ部 125 の出力によって周波数が変調されたクロック信号 CK を出力しているから、前述した (1) の発明のクロック発生手段と変調手段に相当する。

また、特性係数設定手段 130 は、周波数シンセサイザ 151 から出力されるクロック信号のワンドの特性が所望特性となるように、フィルタ部 125 から出力される信号列の周波数特性を決定する係数をフィルタ部 125 に与えている。

したがって、この特性係数設定手段 130 は、前述した (1), (4), (5) の発明の設定手段に相当する。

そして、このワンド発生装置 150 の場合も、前記ワンド発生装置 21、21' と同様に、所定のアルゴリズムにしたがって、複数ビットで構成される乱数の信号を一定速度で順次発生する乱数信号発生手段と、乱数信号発生手段から出力される乱数の信号列を受けてフィルタリング処理を行うフィルタ部と、クロック信号を発生するクロック発生手段と、クロック発生手段が発生するクロック信号の周波数をフィルタ部から出力される信号によって変調する変調手段と、変調手段によって周波数が変調されたクロック信号のワンドの特性が所望特性となるように、フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する制御信号をフィルタ部に与える設定手段とを備えている。

このため、このワンド発生装置 150 は、所望特性のワンドを有するクロック信号を容易に発生することができる。

また、このワンド発生装置 150 の初期設定手段 131 は、

少なくとも装置の動作初期時に、フィルタ部 1 2 5 に含まれる記憶素子に対して、所望特性のワンダを有するクロック信号が出力されている定常時に各記憶素子に記憶される記憶値と同等の値を、定常時の信号入力経路と異なる経路で初期設定している。

したがって、この初期設定手段 1 3 1 は、前述した (6) の発明の初期設定手段に相当している。

このように、このワンダ発生装置 1 5 0 は、初期設定手段 1 3 1 によってフィルタ部 1 2 5 の記憶素子に初期値を設定するようにしたので、所望のワンダ特性を有するクロック信号を速やかに出力することができる。

また、このワンダ発生装置 1 5 0 の特性算出手段 1 3 4 ' は、周波数が変調されたクロック信号のワンダの特性を、特性係数設定手段 1 3 0 からフィルタ部 1 2 5 に設定された信号を含む情報に基づいて算出している。

したがって、この特性算出手段 1 3 4 ' は、前述した (7) の発明の特性算出手段に相当する。

また、特性表示手段 1 3 5 は、特性算出手段 1 3 4 ' によって求められたワンダ特性を表示しているので、前述した (7) の発明の特性表示手段に相当している。

このように、ワンダ発生装置 1 5 0 では、周波数が変調されたクロック信号のワンダの特性を特性係数設定手段 1 3 0 からフィルタ部 1 2 5 に設定された信号を含む情報に基づいて算出し、算出したワンダ特性を表示するようにしているので、実際に出力されるクロック信号のワンダ特性を測定する

ことなく、事前にその特性を把握できて便利である。

なお、上記のワンダ発生装置 150 を、デジタル回線試験装置 20 の前記ワンダ発生装置 21、21' の代わりに用いることもできる。

この場合には、特性算出手段 134' によって算出されたワンダの特性は、表示制御手段 46 を介して表示装置 47 に表示される。

以上説明したように、上記(1)の発明によるワンダ発生装置は、所定のアルゴリズムにしたがって、複数ビットで構成される乱数の信号を一定速度で順次発生する乱数信号発生手段(25、121)と、前記乱数信号発生手段が発生する乱数の信号列を受けてフィルタリング処理を行うフィルタ部(28、125)と、クロック信号を発生するクロック発生手段(30、31、151)と、前記クロック発生手段が発生するクロック信号の周波数を前記フィルタ部から出力される信号によって変調する変調手段(30、151)と、前記変調手段によって周波数が変調されたクロック信号のワンダの特性が所望特性となるように、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号を前記フィルタ部に与える設定手段(23、26、130)とを備えていることにより、所望特性のワンダを有するクロック信号を容易に発生することができる。

また、上記(2)の発明によるワンダ発生装置は、上記(1)記載のワンダ発生装置において、前記乱数信号発生手段が、複数の擬似ランダム信号発生器を有し、該複数の擬似ランダ

ム信号発生器がそれぞれ発生する擬似ランダム信号を合成して、前記複数ビットで構成される乱数の信号を一定速度で順次発生するように構成されていることにより、乱数の信号を理想の白色雑音に極めて近いものにすることができ、所望のワンド特性のクロック信号をより精度よく発生することができる。

また、(3)の発明によるワンド発生装置は、上記(1)記載のワンド発生装置において、前記フィルタ部は、入力信号列を順次シフトしながら記憶する複数の記憶素子と、該複数の記憶素子に記憶された記憶値と複数の係数との積和演算を行う演算手段とを含んでいることにより、演算によってフィルタリング処理を正確に行え、所望のワンド特性のクロック信号をより精度よく発生することができる。

また、上記(4)の発明によるワンド発生装置は、上記(3)記載のワンド発生装置において、前記フィルタ部は、前記乱数信号発生手段から出力された乱数の信号列を前記複数の記憶素子に記憶させて前記演算手段による積和演算を行い、前記乱数の信号列に対するフィルタリング処理を行うように構成されており、前記設定手段は、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号として前記複数の係数を前記演算手段に設定することを特徴としているので、簡単な構成で、所望のワンド特性のクロック信号を発生することができる。

また、上記(5)の発明によるワンド発生装置は、上記(3)記載のワンド発生装置において、前記フィルタ部が、前記乱

数信号発生手段が発生する乱数の信号列を、レートがそれぞれ異なる複数の経路に振り分けるデータ振分手段（51、141）と、前記データ振分手段によって振り分けられた経路毎の信号列に対して、各経路毎に予め設定された係数によって重み付けをする重み付け手段（54、143）と、前記重み付け手段によって重み付けされた各経路の信号列を、前記複数の記憶素子と演算手段とからなる複数のサブバンド合成器によって合成し、その合成結果をフィルタリング処理結果として出力する合成手段（56、145）とを備えており、前記設定手段は、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号として前記複数の重み係数を前記フィルタ部の前記重み付け手段に設定することを特徴としているので、出力するクロック信号のワンダ特性をより高い自由度で設定することができる。

また、上記（6）の発明によるワンダ発生装置は、上記（3）乃至（5）のいずれかに記載のワンダ発生装置において、少なくとも装置の動作初期時に、前記フィルタ部に含まれる前記各記憶素子に対して、前記所望特性のワンダを有するクロック信号が出力されている定常時に前記各記憶素子に記憶される記憶値と同等の値を、前記定常時の信号入力経路と異なる経路で初期設定する初期設定手段（131）を備えていることにより、装置の動作初期時等に、所望のワンダ特性を有するクロック信号を直ちに出力することができ、測定を迅速に開始できる。

また、上記（7）の発明によるワンダ発生装置は、上記（1）



記載のワンダ発生装置において、前記変調手段によって周波数に変調されたクロック信号のワンダの特性を、前記設定手段から前記フィルタ部に設定された信号を含む情報に基づいて算出する特性算出手段（134'）と、前記特性算出手段によって求められた特性を表示する特性表示手段（135）とを備えていることにより、実際に出力するクロック信号のワンダ特性を事前に確認できて便利である。

また、上記（8）の発明によるデジタル回線装置は、ワンダを有する試験信号を発生するワンダ発生部（21、40）と、該ワンダ発生部から試験対象のデジタル回線を経由した信号を評価するワンダ測定部（41、43）とを備えたデジタル回線試験装置において、前記ワンダ発生部が、前記（1）乃至（7）のいずれかに記載のワンダ発生装置を含み、該ワンダ発生装置から出力されたクロック信号に同期した試験信号を発生するように構成されていることにより、所望のワンダ特性のクロック信号と同期する試験信号を試験対象のデジタル回線に出力することができ、そのデジタル回線を経由した信号のワンダ特性を測定することができる。

また、上記（9）の発明によるワンダ発生装置は、所望のタイムデビエーション特性を満足するワンダを有するクロック信号を発生するためのワンダ発生装置であって、前記クロック信号の中心周波数を決めるデータを設定するための中心周波数情報設定手段（22）と、前記所望のタイムデビエーション特性の特性情報を設定するための特性情報設定手段（23）と、前記特性情報設定手段によって設定された特性

情報に基づいて、前記所望のタイムデビエーション特性に対応する周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する揺らぎ信号列発生部（24）と、前記中心周波数情報設定手段によって設定されたデータと、前記揺らぎ信号列発生部から出力される揺らぎ信号列とを加算する加算器（29）と、前記加算器の出力に対応した周波数の信号を出力するダイレクトディジタルシンセサイザ（30）と、前記ダイレクトディジタルシンセサイザの出力信号を波形整形してクロック信号を出力するクロック信号出力回路（31）とを備えていることにより、所望のタイムデビエーション特性のワンダを有するクロック信号を容易に発生させることができる。

また、上記（10）の発明によるワンダ発生装置は、上記（9）記載のワンダ発生装置において、前記揺らぎ信号列発生部が、擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段（25）と、前記特性情報設定手段によって設定された特性情報に基づいて、前記雑音発生手段から出力された白色雑音信号の電力スペクトル密度分布を、前記周波数変動の電力スペクトル密度分布特性に近似させるための伝達関数のインパルス応答を演算するインパルス応答演算手段（26）と、前記インパルス応答演算手段の演算結果と前記雑音発生手段から出力される雑白色雑音信号との畳込み演算を行い、前記周波変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する畳込み演算手段（28）とを備え、デジタル的に揺らぎ信号列を生成していることにより、所

望のタイムデビエーション特性を満足するワンダを有するクロック信号を精度よく発生することができる。

また、上記（１１）の発明によるワンダ発生装置は、上記（１０）記載のワンダ発生装置において、前記インパルス応答演算手段が、前記周波数変動の電力スペクトル密度分布特性と前記伝達関数との誤差分に対応する補正関数によって、インパルス応答を補正することを特徴としていることにより、所望のタイムデビエーション特性を満足するワンダを有するクロック信号をさらに精度よく発生することができる。

また、上記（１２）の発明によるワンダ発生装置は、上記（１０）記載のワンダ発生装置において、前記畳込み演算手段が、前記インパルス応答の演算結果の絶対値が小さい方の積和演算を優先的に行うことを特徴としていることにより、浮動小数点演算の際の誤差を少なくすることができる。

また、上記（１３）の発明によるワンダ発生装置は、上記（１０）記載のワンダ発生装置において、前記インパルス応答演算手段が、前記雑音発生手段から白色雑音信号が出力される毎に前記インパルス応答の演算を毎回行うように構成され、前記畳込み演算手段は、前記インパルス応答演算手段によって毎回算出される演算結果を用いて畳込み演算を行うことを特徴としていることにより、メモリを節約でき、装置のハードウェア構成を簡素化できる。

また、上記（１４）の発明によるワンダ発生装置は、上記（９）記載のワンダ発生装置において、前記揺らぎ信号列発生部が、擬似ランダム信号に基づいて白色雑音信号を発生す

る雑音発生手段（２５）と、前記雑音発生手段から出力された雑音信号を、前記周波数変動の電力スペクトル密度分布特性の周波数範囲を分割する複数の帯域にそれぞれ応じた信号経路に振り分け、前記各帯域に対応したレートで出力するデータ振分手段（５１）と、前記データ振分手段によって振り分けられた各レート毎の雑音信号に対して、前記周波数変動の電力スペクトル密度分布特性の周波数範囲を複数の帯域に分割する前記各帯域毎のスペクトルの大きさに応じた重み付けを行う重み付け手段（５４）と、前記重み付け手段によって重み付けされた各レートの雑音信号を合成して、前記周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する合成手段（５６）とを備えていることにより、任意の電力スペクトル密度分布特性の揺らぎ信号を発生することができ、インパルス応答の演算が困難な複雑なＴＤＥＶマスク特性のクロック信号を容易に発生することができる。

また、上記（１５）の発明によるワンド発生装置は、上記（１０）記載のワンド発生装置において、前記雑音発生手段が、それぞれ異なる初期位相でＭ系列の擬似ランダム符号を発生する複数の（ｍ）組の擬似ランダム信号発生手段を有し、前記各擬似ランダム信号発生手段の所定段の出力をまとめてｍビット並列の白色雑音信号として出力するように構成されていることにより、白色雑音信号を理想の白色雑音に極めて近いものにすることができ、所望のタイムデビエーション特性を満足するワンドを有するクロック信号をさらに精度よく発生することができる。

また、上記（１６）の発明によるデジタル回線試験装置は、規定のタイムデビエーション特性を満足するワンダを有するクロック信号を発生するためのワンダ発生装置（２１）と、前記ワンダ発生装置から出力されたクロック信号に同期したデジタル信号を試験対象のデジタル回線に送出する送信部（４０）と、前記試験対象のデジタル回線から折り返されたデジタル信号を受信するとともに、該受信したデジタル信号のクロック信号を再生する受信部（４１）と、前記受信部が受信したデジタル信号の誤り測定を行う誤り測定部（４２）と、前記受信部によって再生されたクロック信号のタイムデビエーション特性を測定するタイムデビエーション測定部（４３）と、表示装置（４７）と、前記誤り測定部の測定結果を前記表示装置に表示するとともに、前記タイムデビエーション測定部で測定されたタイムデビエーション特性を前記規定のタイムデビエーション特性と対比できるように前記表示装置に表示する表示制御手段（４６）とを備えていることにより、試験対象のデジタル回線のワンダについての評価を容易に且つ効率的に行うことができるとともに、デジタル回線によるワンダの変化を表示画面上で容易に比較することができる。

また、上記（１７）の発明によるデジタル回線試験装置は、上記（１６）記載のデジタル回線試験装置において、前記ワンダ発生装置が、前記（９）乃至（１５）記載のワンダ発生装置であることを特徴としているので、所望のタイムデビエーション特性を満足するワンダを有するクロック信号

に同期したデジタル信号を試験対象の回線に送出することができ、回線の評価を正しく行うことができるとともに、装置を小型化することができる。

また、上記（１８）の発明によるワンダ発生装置は、デジタルの白色性の雑音信号を発生する白色雑音発生手段（１２１）と、デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部（１２５）と、前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段（１３０）と、前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器（１３２）と、前記乗算器に任意の振幅係数を設定する振幅設定手段（１３３）と、前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザ（５１）と、前記フィルタ部から前記特性係数に対応した周波数特性の雑音信号が出力されている状態における前記デジタルフィルタの各記憶素子の記憶内容と同等の雑音信号列を、少なくとも装置の動作初期時に前記デジタルフィルタの各記憶素子に初期設定する初期設定手段（１３１）とを備えていることにより、動作初期時等に、フィルタ部の内部状態は直ちに定常状態と同一の状態に設定されるため、特性係数設定手段から設定された特性係数に応じた周波数特性の雑音信号で位相変調されたクロック信号を速

やかに出力させることができる。

また、上記（１９）の発明によるワンダ発生装置は、デジタルの白色性の雑音信号を発生する白色雑音発生手段（１２１）と、デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部（１２５）と、前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段（１３０）と、前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器（１３２）と、前記乗算器に任意の振幅係数を設定する振幅設定手段（１３３）と、前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザ（１５１）と、前記特性係数設定手段から設定された特性係数および振幅設定手段から設定された振幅係数に基づいて、前記乗算器から出力される雑音信号または前記周波数シンセサイザから出力されるクロック信号の特性を求める特性算出手段（１３４、１３４'）と、前記特性算出手段によって求められた特性を表示する特性表示手段（１３５）とを備えていることにより、雑音信号やクロック信号に対する実際の測定を行うことなく、事前にその特性が分かり便利である。

次に、本発明による位相雑音伝達特性解析装置の実施の形態について説明する。

図40は、上記(20)の発明による位相雑音伝達特性解析装置に対応する位相雑音伝達特性解析装置200の実施の形態の構成を示している。

図40において、特性指定手段210は図示しない操作部等の操作によって前記した規格化された特性を含む任意の位相雑音特性Rを指定するためのものであり、例えば、ワングの評価に用いるTDEVの特性等を指定する。

また、パラメータ算出手段220は、特性指定手段210から指定された位相雑音特性の試験信号を試験信号生成手段230に生成させるために必要なパラメータを算出して試験信号生成手段230に出力する。

また、試験信号生成手段230は、パラメータ算出手段によって算出されたパラメータによって決定される位相雑音特性を有する試験信号S<sub>t</sub>を生成して、出力端子200aから出力する。

ここで、試験信号生成手段230は、例えば、図41に示すように、白色雑音発生器240、フィルタ250、クロック変調器260およびデータ発生器270によって構成されている。

また、白色雑音発生器240は、広帯域にわたって振幅が一様に分布する白色ガウス性のデジタルの雑音信号Nを出力する。

この白色雑音発生器240は、例えば、互いの符号が無相関となるように出力符号の位相をずらした同一符号系列の複数の擬似ランダム信号発生器の出力を加算合成して雑音信号



Nを生成する。

また、フィルタ250は、デジタル信号列を内部の複数の記憶素子に順次シフトしながら記憶し、その複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有しており、雑音発生器240から出力された雑音信号Nを予め設定された係数に対応する周波数特性の雑音信号N'に変換して出力する。

このフィルタ250は、周波数特性がフィルタ係数によって決定される単一のデジタルフィルタで構成したものや、入力信号を複数のデジタルフィルタで帯域分割し、各帯域の信号に重み付け係数を乗算して合成するように構成したものを使用することができる。

また、クロック変調器260は、例えば、DDSやPLL発振器等で構成されており、所定の中心周波数を持ち、フィルタ250からの雑音信号N'に応じて位相が変調されたクロック信号CKをデータ発生器270に出力する。

このデータ発生器270は、クロック信号CKに同期した所定のパターン信号を試験信号S<sub>t</sub>として出力する。

なお、ここでは、データ発生器270からクロック信号CKに同期したパターン信号を試験信号S<sub>t</sub>としている。

しかるに、データ発生器270を介さずに、クロック変調器260から出力されるクロック信号CKを試験信号として直接出力してもよい。

このようにフィルタ250によって帯域制限された雑音信号によって位相変調された試験信号を生成する試験信号生成

## 1 0 0

手段 2 3 0 では、その試験信号の位相雑音特性はフィルタ 2 5 0 の特性に依存している。

そして、このフィルタ 2 5 0 の特性は、前記したフィルタ係数あるいは重み付け係数等のパラメータによって決定される。

このため、パラメータ算出手段 2 2 0 は、試験信号  $S_t$  の位相雑音特性を特性指定手段 2 1 0 によって指定された位相雑音特性  $R$  に近似させるためのフィルタ係数あるいは重み付け係数をパラメータとして算出して、フィルタ 2 5 0 に設定している。

また、試験信号生成手段 2 3 0 が生成した試験信号  $S_t$  は、出力端子 2 0 0 a を介して解析対象機器 1 に入力されるとともに、第 1 の位相雑音特性測定手段 3 0 0 に入力される。

この第 1 の位相雑音特性測定手段 3 0 0 は、試験信号生成手段 2 3 0 から出力された試験信号  $S_t$  の位相雑音特性  $R'$  を測定するためのものである。

この第 1 の位相雑音特性測定手段 3 0 0 では、例えば、図 4 2 に示すように、まず、クロック抽出回路 3 1 0 によって試験信号  $S_t$  からクロック信号  $CK$  が抽出される。

次に、このクロック信号  $CK$  と基準クロック  $CK_r$  との位相差が位相比較器 3 2 0 によって検出される。

そして、この検出信号からフィルタ 3 3 0 によってワンダ成分あるいはジッタ成分が抽出される。

ここで、抽出された信号成分が A/D 変換器 3 4 0 によって所定のサンプリング周期でサンプリングされてデジタル

値に変換される。

このデジタル値がT I Eデータとして特性演算部 3 5 0 に出力される。

なお、クロック抽出回路 3 1 0 を省略して、試験信号生成手段 2 3 0 のクロック変調器 2 6 0 から出力されるクロック信号 C K が位相比較器 3 2 0 に直接入力されるようにしてもよい。

また、特性演算部 3 5 0 は、T I Eデータに基づいて試験信号 S t の位相雑音特性 R ' を算出する。

例えば、ワンドのT D E V特性を求める場合には、T I Eデータに対して次の演算を行う。

$$\begin{aligned} & T D E V (\tau) \\ & = \{ (1 / 6 n^2) (1 / m) \cdot \sum_{j=i}^m [ \sum_{i=j}^n + \\ & \quad j-1 (x_{i+2n} - 2x_{i+n} + x_i) ]^2 \}^{1/2} \end{aligned}$$

ここで、 $m = N - 3n + 1$ 、 $x_i$  はT I Eデータ、Nは全サンプル数、 $\tau$ は積分時間 ( $\tau = n \tau_0$ )、nはサンプリング数 ( $n = 1 \sim 3 / N$ )、 $\tau_0$ はサンプリング周期、記号  $\sum_{j=i}^m$  は  $j = i \sim m$  までの総和を示す。

なお、T D E V ( $\tau$ ) は、最大積分時間の1.2倍の測定時間の全T I Eデータを基にして算出される。

なお、T D E V ( $\tau$ ) は、最大積分時間の1.2倍の測定時間の全T I Eデータを基にして算出される。

例えば、サンプリング周期  $\tau_0$  が  $1 / 80$  秒 (12.5 m S) のときに、 $\tau = 1000$  秒のT D E V (1000) を求

## 1 0 2

める場合、12000秒（80サンプル／秒×1000秒×12＝960000サンプル）分のデータを使って上式の計算が行われる。

試験信号  $S_t$  を受けた解析対象機器 1 から出力される信号  $S_r$  は、入力端子 200b を介して第 2 の位相雑音特性測定手段 400 に入力される。

この第 2 の位相雑音特性測定手段 400 は、前述した第 1 の位相雑音特性測定手段 300 と同一構成であり、第 1 の位相雑音特性測定手段 300 による試験信号  $S_t$  の測定と並行して、入力される信号  $S_r$  の位相雑音特性  $M$  を測定する。

なお、後述するように、第 1 の位相雑音特性測定手段 300 の代わりに、パラメータ算出手段 220 から出力されるパラメータに基づいて試験信号  $S_t$  の位相雑音特性  $R'$  を演算によって求める位相雑音特性算出手段 510 を用いるようにしてもよい。

また、近似誤差算出手段 410 は、特性指定手段 210 によって指定された位相雑音特性  $R$  と第 1 の位相雑音特性測定手段 300 によって測定された位相雑音特性  $R'$  との差を近似誤差  $E$  として求める。

また、仮想特性算出手段 420 は、第 2 の位相雑音特性測定手段 400 によって測定された位相雑音特性  $M$  を近似誤差算出手段 410 によって算出された近似誤差  $E$  で補正して、解析対象機器 1 が特性指定手段 120 によって指定された位相雑音特性  $R$  の試験信号を受けたと仮定したときに出力する信号の仮想位相雑音特性  $M'$  を算出する。

## 1 0 3

また、表示手段 4 3 0 は、特性指定手段 3 0 0 によって指定された位相雑音特性  $R$  と仮想特性算出手段 4 2 0 によって算出された仮想位相雑音特性  $M'$  との差を把握することができるように表示する。

なお、この表示手段 4 3 0 は、特性を視認できるように出力する画像表示器やプリンタを含んでいるものとする。

次に、この位相雑音伝達特性解析装置 2 0 0 の動作を説明する。

まず、前記したようにワンダについての T D E V 特性についての伝達特性を解析するために、特性指定手段 2 1 0 によって例えば図 4 3 に示すように、積分時間  $\tau 1$ 、 $\tau 2$  を境界にして傾き  $k$  が  $\alpha$ 、 $\beta$ 、 $\gamma$  と変化する T D E V の特性  $R$  が指定される。

すると、パラメータ算出手段 2 2 0 は、この特性の積分時間  $\tau 1$ 、 $\tau 2$  および傾き  $k$  の値等に基づいて、試験信号生成手段 2 3 0 がこの特性  $R$  に近似した位相雑音特性の試験信号  $S_t$  を生成するために必要なパラメータを算出して試験信号生成手段 2 3 0 に設定する。

このため、試験信号生成手段 2 3 0 からは、図 4 3 に示すように、特性  $R$  に近似した特性  $R'$  を有する試験信号  $S_t$  が生成される。

そして、この試験信号  $S_t$  は、出力端子 2 0 0 a を介して解析対象機器 1 に入力される。

このとき、第 1 の位相雑音特性測定手段 3 0 0 には、試験信号  $S_t$  が入力される。

## 1 0 4

また、第 2 の位相雑音特性測定手段 4 0 0 には、入力端子 2 0 0 b を介して解析対象機器 1 の出力信号  $S_r$  が入力される。

ここで、各位相雑音特性測定手段 3 0 0、4 0 0 による位相雑音特性の測定が並行して行われる。

そして、各位相雑音特性測定手段 3 0 0、4 0 0 による位相雑音特性の測定が終了すると、第 1 の位相雑音特性測定手段 3 0 0 によって図 4 4 で示した試験信号  $S_t$  の T D E V の特性  $R'$  が得られる。

第 1 の位相雑音特性測定手段 3 0 0 によって得られた特性  $R'$  は、特性指定手段 2 1 0 によって指定された特性  $R$  とともに近似誤差算出手段 4 1 0 に入力されることにより、特性  $R$  に対する特性  $R'$  の近似誤差  $E$  が、例えば、図 4 5 に示すように算出される。

一方、第 2 の位相雑音特性測定手段 4 0 0 からは、例えば、図 4 6 に示すように、試験信号  $S_t$  の特性  $R'$  に対して T D E V の値が全域で大きい出力信号  $S_r$  の T D E V の特性  $M$  が得られる。

この特性  $M$  は、近似誤差  $E$  とともに仮想特性算出手段 4 2 0 に入力されることにより、近似誤差  $E$  によって特性  $M$  が補正された後、図 4 7 に示すように、特性  $R$  の試験信号が解析対象機器 1 に入力されたと仮定したときの出力信号の仮想特性  $M'$  が得られる。

この仮想特性  $M'$  と特性指定手段 2 1 0 によって指定された特性  $R$  とが、図 4 8 に示すように対比して表示される。

ここで表示された2つの特性はともに実測されたものでなく、理論的な特性である。

しかるに、両者は、互いに対応したものであるから、両者を単純に対比することによって、その差異を正確に把握することができる。

このように、この実施形態による位相雑音伝達特性解析装置200では、解析対象機器1に実際に入力される試験信号 $S_t$ の位相雑音特性 $R'$ と、解析対象機器1の出力信号 $S_r$ の位相雑音特性 $M$ とを、第1の位相雑音特性測定手段300および第2の位相雑音特性測定手段400によって並行して測定する。

そして、その測定結果から求めた仮想位相雑音特性 $M'$ と指定された位相雑音特性 $R$ との差を把握できるように表示している。

このため、短い測定時間で、指定された位相雑音特性 $R$ と仮想特性 $M$ との差、即ち、指定された位相雑音特性 $R$ についての解析対象機器1の位相雑音伝達特性を正確に把握することができるようになる。

上記した位相雑音伝達特性解析装置200では、2つの位相雑音特性測定手段300、400を有しているため構成がやや複雑になる。

次に、この点を改善した上記(21)の発明による位相雑音伝達特性解析装置に対応する位相雑音伝達特性解析装置500を図49に基づいて説明する。

この位相雑音伝達特性解析装置500は、前記した位相雑

音伝達特性解析装置 200 の第 1 の位相雑音特性測定手段 300 の代わりに位相雑音特性算出手段 510 を用いており、その他の構成は位相雑音伝達特性解析装置 200 と同一であるので、同一符号を付して説明を省略する。

この位相雑音特性算出手段 510 は、パラメータ算出手段 220 によって算出されたパラメータに基づいて、試験信号生成手段 230 が出力する試験信号  $S_t$  の位相雑音特性  $R'$  を演算によって求めている。

すなわち、前記した位相雑音の  $TDEV$ 、 $TIE_{rms}$ 、 $MDEV$ 、 $ADEV$  等の特性を求める場合、位相雑音特性算出手段 510 は、次の演算を行う。

$$\begin{aligned}
 & TDEV(n\tau_0) \\
 &= \{ (16/3n^2) \int \{ \sin^6(\pi f \tau_0) / \sin^2(\pi f \tau_0) \} \cdot S_x(f) df \}^{1/2} \\
 & \quad (\text{ただし、} n=0, 1, 2, \dots, N) \\
 & TIE_{rms}(\tau) \\
 &= \{ 8 \int S_x(f) \sin^2(\pi f \tau) df \}^{1/2} \\
 & ADEV(\tau) \\
 &= \{ (16/\tau^2) \int S_x(f) \sin^4(\pi f \tau) df \}^{1/2} \\
 & MDEV(n\tau_0)
 \end{aligned}$$



107

$$= \{ [16/(n^2 \tau_0)^2] \cdot \int [\sin^6(\pi f \tau_0) / \sin^2(\pi f \tau_0)] \cdot S_x(f) df \}^{1/2}$$

(ただし、 $n = 0, 1, 2, \dots, N$ )

ここで、

 $S_x(f)$ 

$$= f_c [(\sigma^a \cdot u \cdot A) \sin(\pi f / f_s) / 2\pi f \sin(\pi f / f_c)]^2 \cdot |H(e^{j\pi f / f_s})|^2$$

また、記号  $\int$  は  $f = 0 \sim f = f_h$  までの積分をとるものとし、パラメータ  $f_h$  は雑音最大周波数、 $\tau$  は測定時間、 $\tau_0$  は測定サンプリング時間、 $\sigma^a$  は白色雑音の標準偏差、 $f_s$  は雑音発生器 240 のサンプリング周波数、 $u$  はクロック変調器 260 を DDS で構成した場合の DDS の量子化ステップ、 $f_c$  は DDS の出力を 2 値化する際に用いる D/A コンバータのクロック周波数である。

また、 $A$  は雑音信号  $N'$  の振幅係数、 $|H(e^{j\pi f / f_s})|$

$|$  は、パラメータ算出手段 220 から出力されたパラメータに基づいて算出される周波数特性、 $S_x(f)$  はパラメータ算出手段 220 から出力されたパラメータに基づいて算出される時間誤差のパワースペクトルである。

上記のように、パラメータ算出手段 220 から出力されるパラメータから得られた時間誤差のパワースペクトル  $S_x(f)$  を用いて算出した位相雑音特性  $R'$  は、実際の試験信号生成用の回路構成に対応したものであるもので、試験信号  $S_t$  の位相雑音特性をよく表している。

したがって、この位相雑音伝達特性解析装置 500 によれば、前記した位相雑音伝達特性解析装置 200 と同様に、指定された位相雑音特性  $R$  に対する試験信号  $S_t$  の位相雑音特性  $R'$  の近似誤差  $E$  を近似誤差算出手段 410 によって求め、位相雑音特性測定手段 400 の測定によって得られた位相雑音特性  $M$  を仮想特性算出手段 420 によって近似誤差  $E$  で補正して、指定された位相雑音特性  $R$  の試験信号を受けたと仮定したときに解析対象機器 1 から出力される信号の仮想位相雑音特性  $M'$  を求め、この仮想位相雑音特性  $M'$  と指定された位相雑音特性  $R$  ととの差を把握できるように表示手段 430 によって表示すれば、前記同様に単純な特性比較によってその差異（位相雑音伝達特性）を正確に把握することができるようになる。

また、この場合でも、特性を求めるための測定を 1 回分だけ行えばよいので、短い測定時間で、解析対象機器 1 の位相雑音伝達特性を正確に把握することができる。

なお、前記した位相雑音伝達特性解析装置 200、500 では、指定された位相雑音特性  $R$  と仮想特性  $M'$  との差を把握できるように表示手段 430 によって両特性を表示するようにしている。

しかるに、指定された位相雑音特性  $R$  と仮想特性  $M'$  との差を演算装置によって求め、その結果を前記のようにグラフや数値で出力するようにしてもよい。

以上説明したように、上記（20）の発明による位相雑音伝達特性解析装置は、任意の位相雑音特性を指定する特性指定手段と、前記特性指定手段によって指定された位相雑音特性の試験信号を生成するために必要なパラメータを算出するパラメータ算出手段と、前記パラメータ算出手段によって算出されたパラメータに基づいて位相雑音特性を有する試験信号を生成する試験信号生成手段と、前記試験信号生成手段が生成した試験信号の位相雑音特性を測定する第1の位相雑音特性測定手段と、前記試験信号生成手段が生成した試験信号を外部の解析対象に出力するための出力端子と、前記試験信号を受けた解析対象から出力される信号を入力させるための入力端子と、前記試験信号に対する前記第1の位相雑音特性測定手段の位相雑音特性の測定と並行して、前記入力端子から入力される信号の位相雑音特性を測定する第2の位相雑音特性測定手段と、前記特性指定手段によって指定された位相雑音特性と前記第1の位相雑音特性測定手段によって測定された位相雑音特性との差を近似誤差として求める近似誤差算出手段と、前記第2の位相雑音特性測定手段によって測定された位相雑音特性を前記近似誤差算出手段によって算出された近似誤差で補正して、前記解析対象が前記特性指定手段によって指定された位相雑音特性の試験信号を受けたと仮定したときに出力する信号の仮想位相雑音特性を算出する仮想特

性算出手段とを備え、前記特性指定手段によって指定された位相雑音特性と前記仮想特性算出手段によって算出された仮想位相雑音特性との差を把握できるようにしている。

また、上記（21）の発明による位相雑音伝達特性解析装置は、任意の位相雑音特性を指定する特性指定手段と、前記特性指定手段によって指定された位相雑音特性の試験信号を生成するために必要なパラメータを算出するパラメータ算出手段と、前記パラメータ算出手段によって算出されたパラメータに基づいて位相雑音特性を有する試験信号を生成する試験信号生成手段と、前記パラメータ算出手段によって算出されたパラメータに基づいて、前記試験信号生成手段が生成する試験信号の位相雑音特性を算出する位相雑音特性算出手段と、前記試験信号生成が生成した試験信号を外部の解析対象に出力するための出力端子と、前記試験信号を受けた解析対象から出力される信号を入力させるための入力端子と、前記入力端子から入力される信号の位相雑音特性を測定する位相雑音特性測定手段と、前記特性指定手段によって指定された位相雑音特性と前記位相雑音特性算出手段によって算出された位相雑音特性との差を近似誤差として求める近似誤差算出手段と、前記位相雑音特性測定手段によって測定された位相雑音特性を前記近似誤差算出手段によって算出された近似誤差で補正して、前記解析対象が前記特性指定手段によって指定された位相雑音特性の試験信号を受けたと仮定したときに出力する信号の仮想位相雑音特性を算出する仮想特性算出手段とを備え、前記特性指定手段によって指定された位相雑音

特性と前記仮想特性算出手段によって算出された仮想位相雑音特性との差を把握できるようにしている。

これにより、上記（２０）および（２１）の発明による位相雑音伝達特性解析装置によれば、短い測定時間で、特性指定手段によって指定された位相雑音特性と仮想特性算出手段によって算出された仮想位相雑音特性との差、即ち、指定された位相雑音特性についての解析対象の位相雑音伝達特性を正確に把握することができる。

したがって、本発明によれば、所望特性のワンダを有するクロック信号を容易に且つ精度良く発生させることができるワンダ発生装置およびこのワンダ発生装置を用いるデジタル回線試験装置を提供することが可能となる。

また、本発明によれば、例えば、所望特性のワンダを有するクロック信号を容易に且つ精度良く発生させることができるワンダ発生装置を用いて、短い測定時間で、指定した特性に対して正しい評価ができる位相雑音伝達特性解析装置を提供することが可能となる。

### 請求の範囲

1. 所定のアルゴリズムにしたがって、複数ビットで構成される乱数の信号を一定速度で順次発生する乱数信号発生手段と、

前記乱数信号発生手段が発生する乱数の信号列を受けてフィルタリング処理を行うフィルタ部と、

クロック信号を発生するクロック発生手段と、

前記クロック発生手段が発生するクロック信号の周波数を前記フィルタ部から出力される信号によって変調する変調手段と、

前記変調手段によって周波数が変調されたクロック信号のワンドの特性が所望特性となるように、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号を前記フィルタ部に与える設定手段と、

を備えるワンド発生装置。

2. 前記乱数信号発生手段は、

複数の擬似ランダム信号発生器を有し、該複数の擬似ランダム信号発生器がそれぞれ発生する擬似ランダム信号を合成して、前記複数ビットで構成される乱数の信号を一定速度で順次発生するように構成されていることを特徴とする請求の範囲 1. 記載のワンド発生装置。

3. 前記フィルタ部は、

入力信号列を順次シフトしながら記憶する複数の記憶素子と、該複数の記憶素子に記憶された記憶値と複数の係数との

## 1 1 3

積和演算を行う演算手段とを含んでいることを特徴とする請求の範囲 1. 記載のワンダ発生装置。

4. 前記フィルタ部は、

前記乱数信号発生手段から出力された乱数の信号列を前記複数の記憶素子に記憶させて前記演算手段による積和演算を行い、前記乱数の信号列に対するフィルタリング処理を行うように構成されており、

前記設定手段は、

前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号として前記複数の係数を前記演算手段に設定することを特徴とする請求の範囲 3. 記載のワンダ発生装置。

5. 前記フィルタ部は、

前記乱数信号発生手段が発生する乱数の信号列を、レートがそれぞれ異なる複数の経路に振り分けるデータ振分手段と、

前記データ振分手段によって振り分けられた経路毎の信号列に対して、各経路毎に予め設定された係数によって重み付けをする重み付け手段と、

前記重み付け手段によって重み付けされた各経路の信号列を、前記複数の記憶素子と演算手段とからなる複数のサブバンド合成器によって合成し、その合成結果をフィルタリング処理結果として出力する合成手段とを備えており、

前記設定手段は、前記フィルタ部から出力される信号列のスペクトラムの各振幅値を設定する信号として前記複数の重み係数を前記フィルタ部の前記重み付け手段に設定すること

を特徴とすることを特徴とする請求の範囲 3. 記載のワンダ発生装置。

6. 少なくとも装置の動作初期時に、前記フィルタ部に含まれる前記各記憶素子に対して、前記所望特性のワンダを有するクロック信号が出力されている定常時に前記各記憶素子に記憶される記憶値と同等の値を、前記定常時の信号入力経路と異なる経路で初期設定する初期設定手段をさらに備えていることを特徴とする請求の範囲 3. または 5. 記載のワンダ発生装置。

7. 前記変調手段によって周波数が変調されたクロック信号のワンダの特性を、前記設定手段から前記フィルタ部に設定された信号を含む情報に基づいて算出する特性算出手段と、

前記特性算出手段によって求められた特性を表示する特性表示手段とをさらに備えていることを特徴とする請求の範囲 1. 記載のワンダ発生装置。

8. ワンダを有する試験信号を発生するワンダ発生部と、前記ワンダ発生部から試験対象のデジタル回線を経由した信号を評価するワンダ測定部とを備え、

前記ワンダ発生部が、前記請求の範囲 1. 乃至 7. のいずれかに記載のワンダ発生装置を含み、

該ワンダ発生装置から出力されたクロック信号に同期した試験信号を発生するように構成されていることを特徴とするデジタル回線試験装置。

9. 所望のタイムデビエーション特性を満足するワンダ



を有するクロック信号を発生するためのワンダ発生装置であって、

前記クロック信号の中心周波数を決めるデータを設定するための中心周波数情報設定手段と、

前記所望のタイムデビエーション特性の特性情報を設定するための特性情報設定手段と、

前記特性情報設定手段によって設定された特性情報に基づいて、前記所望のタイムデビエーション特性に対応する周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する揺らぎ信号列発生部と、

前記中心周波数情報設定手段によって設定されたデータと、前記揺らぎ信号列発生部から出力される揺らぎ信号列とを加算する加算器と、

前記加算器の出力に対応した周波数の信号を出力するダイレクトディジタルシンセサイザと、

前記ダイレクトディジタルシンセサイザの出力信号を波形整形してクロック信号を出力するクロック信号出力回路とを備えていることを特徴とするワンダ発生装置。

10. 前記揺らぎ信号列発生部は、

擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段と、

前記特性情報設定手段によって設定された特性情報に基づいて、前記雑音発生手段から出力された白色雑音信号の電力スペクトル密度分布を、前記周波数変動の電力スペクトル密度分布特性に近似させるための伝達関数のインパルス応答を

演算するインパルス応答演算手段と、

前記インパルス応答演算手段の演算結果と前記雑音発生手段から出力される雑白色雑音信号との畳込み演算を行い、前記周波変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する畳込み演算手段とを備えていることを特徴とする請求の範囲 9. 記載のワンダ発生装置。

1 1. 前記インパルス応答演算手段は、

前記周波数変動の電力スペクトル密度分布特性と前記伝達関数との誤差分に対応する補正関数によって、インパルス応答を補正することを特徴とする請求の範囲 1 0. 記載のワンダ発生装置。

1 2. 前記畳込み演算手段は、

前記インパルス応答の演算結果の絶対値が小さい方の積和演算を優先的に行うことを特徴とする請求の範囲 1 0. 記載のワンダ発生装置。

1 3. 前記インパルス応答演算手段は、

前記雑音発生手段から白色雑音信号が出力される毎に前記インパルス応答の演算を毎回行うように構成され、

前記畳込み演算手段は、

前記インパルス応答演算手段によって毎回算出される演算結果を用いて畳込み演算を行うことを特徴とする請求の範囲 1 0. 記載のワンダ発生装置。

1 4. 前記揺らぎ信号列発生部は、

擬似ランダム信号に基づいて白色雑音信号を発生する雑音発生手段と、

前記雑音発生手段から出力された雑音信号を、前記周波数変動の電力スペクトル密度分布特性の周波数範囲を分割する複数の帯域にそれぞれ応じた信号経路に振り分け、前記各帯域に対応したレートで出力するデータ振分手段と、

前記データ振分手段によって振り分けられた各レート毎の雑音信号に対して、前記周波数変動の電力スペクトル密度分布特性の周波数範囲を複数の帯域に分割する前記各帯域毎のスペクトルの大きさに応じた重み付けを行う重み付け手段と、

前記重み付け手段によって重み付けされた各レートの雑音信号を合成して、前記周波数変動の電力スペクトル密度分布特性を有する揺らぎ信号列を発生する合成手段とを備えていることを特徴とする請求の範囲 9. 記載のワンダ発生装置。

15. 前記雑音発生手段は、

それぞれ異なる初期位相でM系列の擬似ランダム符号を発生する複数の(m)組の擬似ランダム信号発生手段を有し、

前記各擬似ランダム信号発生手段の所定段の出力をまとめてmビット並列の白色雑音信号として出力するように構成されていることを特徴とする請求の範囲 10. または 14. 記載のワンダ発生装置。

16. 規定のタイムデビエーション特性を満足するワンダを有するクロック信号を発生するためのワンダ発生装置と、

前記ワンダ発生装置から出力されたクロック信号に同期したデジタル信号を試験対象のデジタル回線に送出する送信部と、

前記試験対象のデジタル回線から折り返されたディジタ

ル信号を受信するとともに、該受信したデジタル信号のクロック信号を再生する受信部と、

前記受信部が受信したデジタル信号の誤り測定を行う誤り測定部と、

前記受信部によって再生されたクロック信号のタイムデビエーション特性を測定するタイムデビエーション測定部と、  
表示装置と、

前記誤り測定部の測定結果を前記表示装置に表示するとともに、前記タイムデビエーション測定部で測定されたタイムデビエーション特性を前記規定のタイムデビエーション特性と対比できるように前記表示装置に表示する表示制御手段と、  
を備えるデジタル回線試験装置。

17. 前記ワンダ発生装置が、請求の範囲9.乃至15.のいずれかに記載のワンダ発生装置であることを特徴とする請求の範囲16. 記載のデジタル回線試験装置。

18. デジタルの白色性の雑音信号を発生する白色雑音発生手段と、

デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段(130)と、

前記フィルタ部から出力される雑音信号に予め設定された

1/35

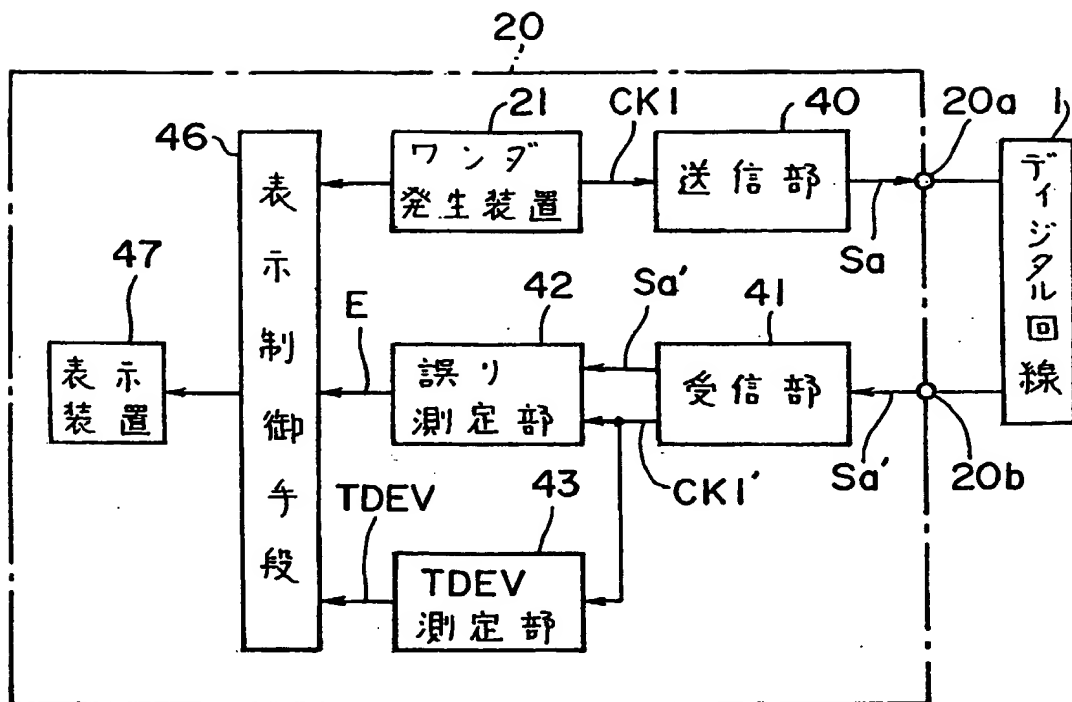


FIG. 1

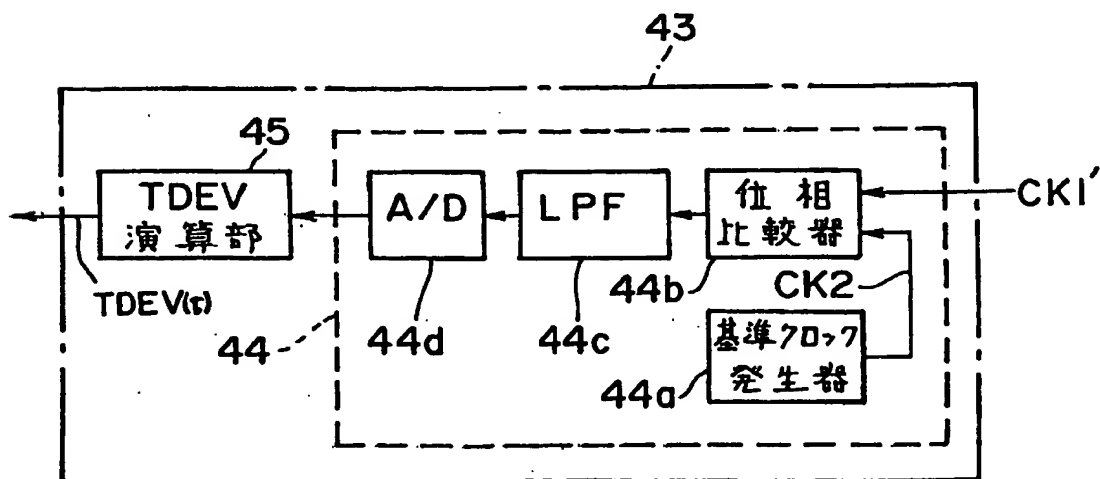


FIG. 2

**THIS PAGE BLANK (USPTO)**

2/35

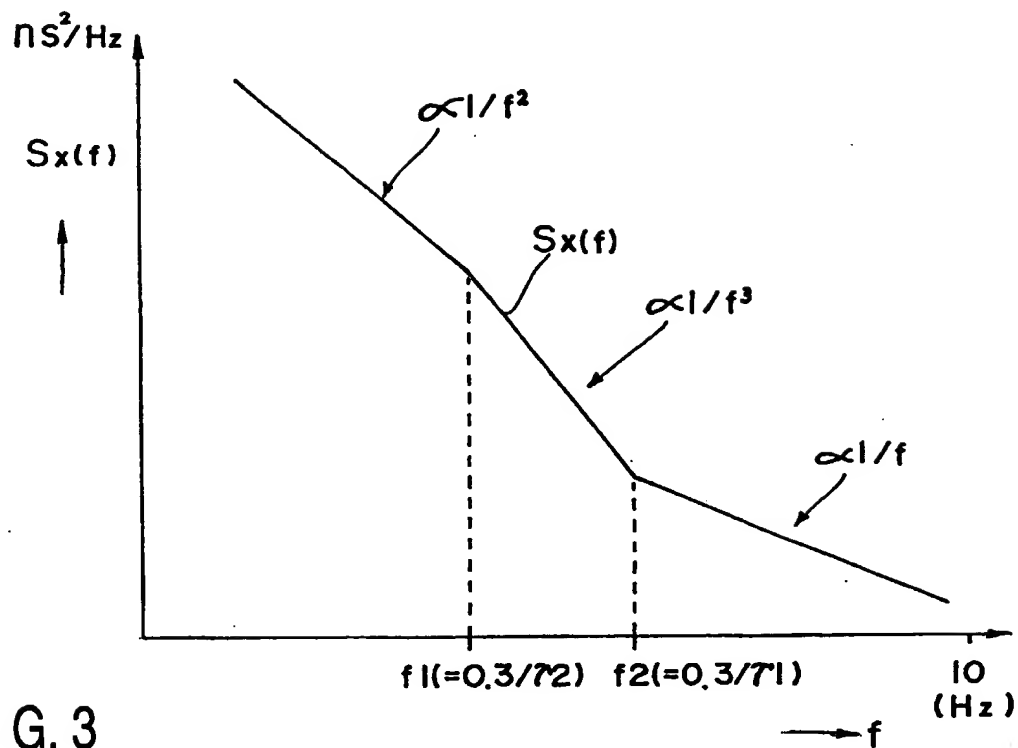


FIG. 3

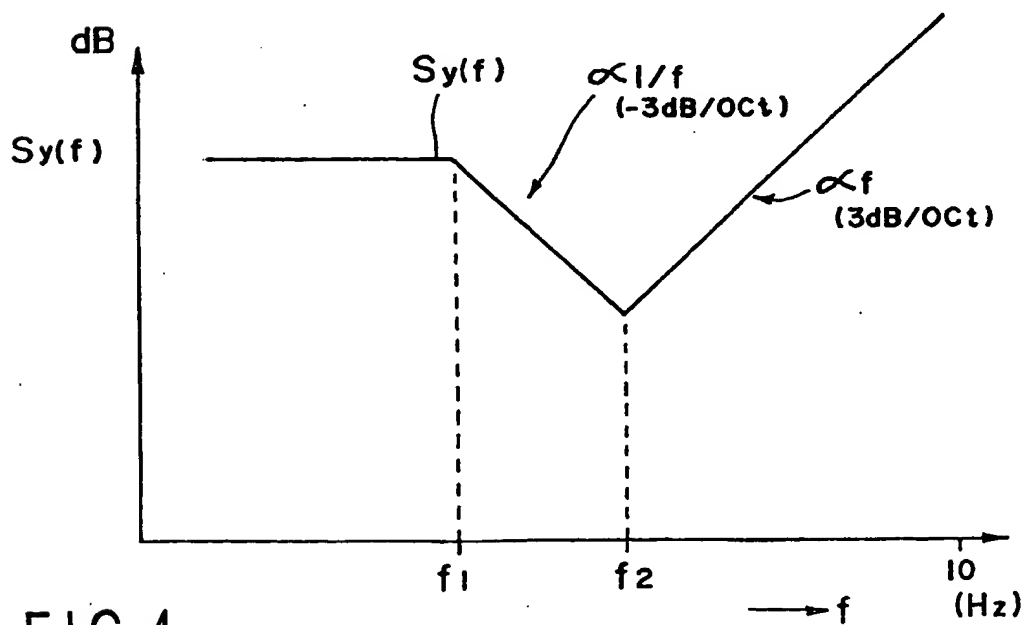
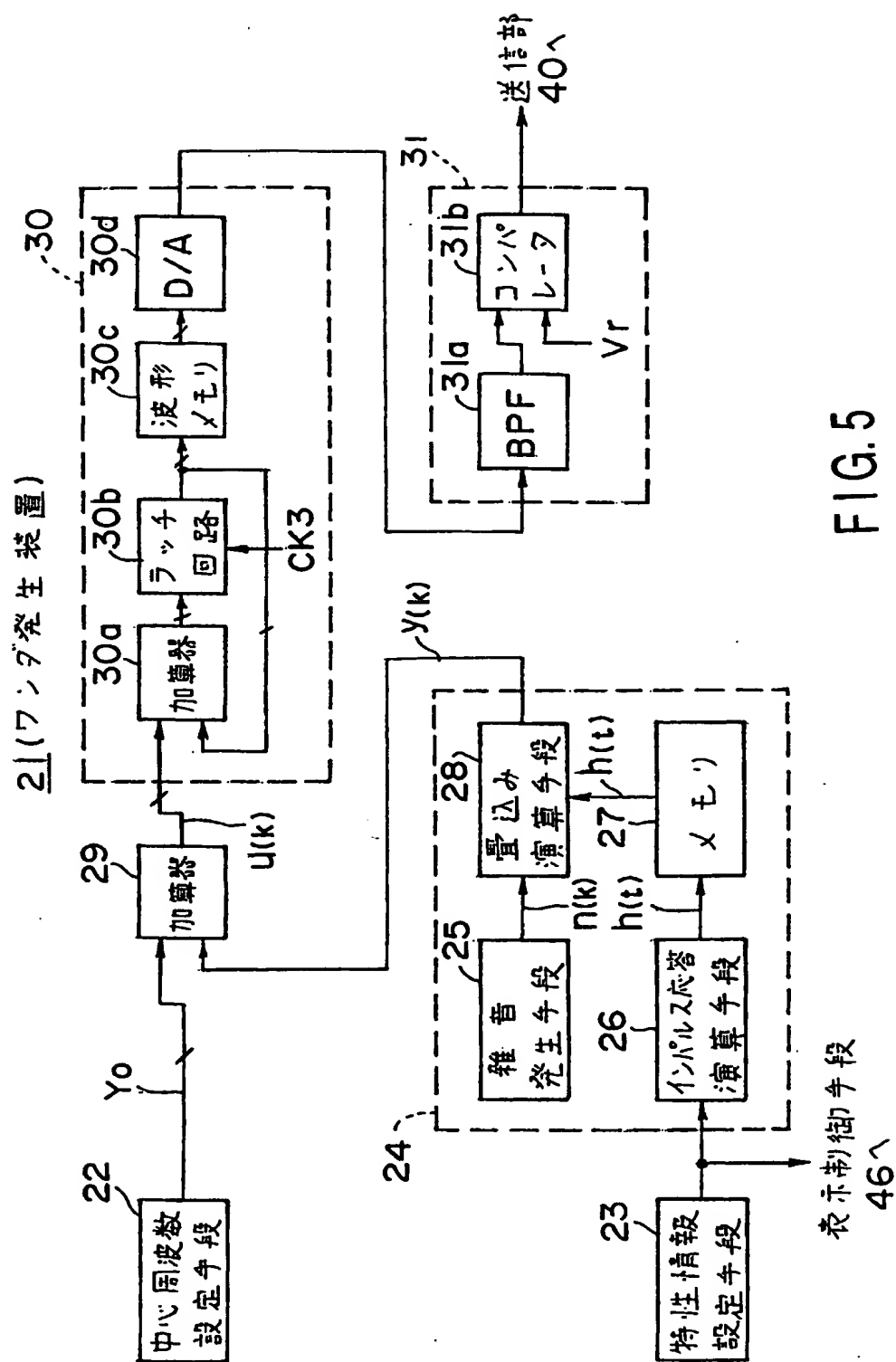


FIG. 4

**THIS PAGE BLANK (USPT)**





**THIS PAGE BLANK (USPTO)**

4/35

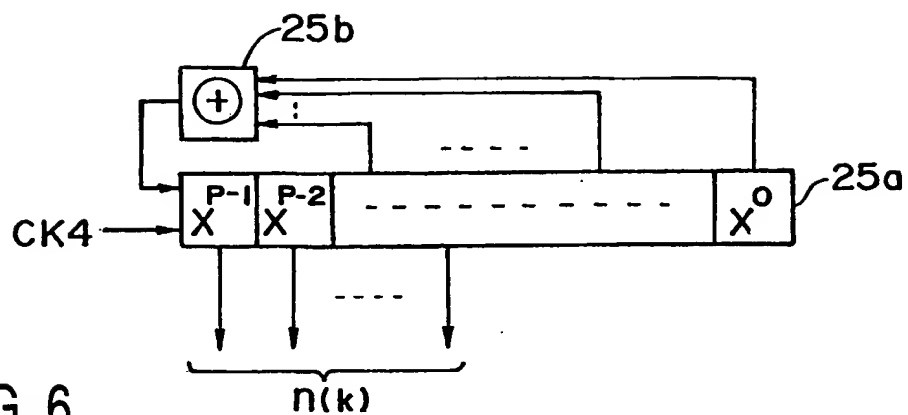


FIG. 6

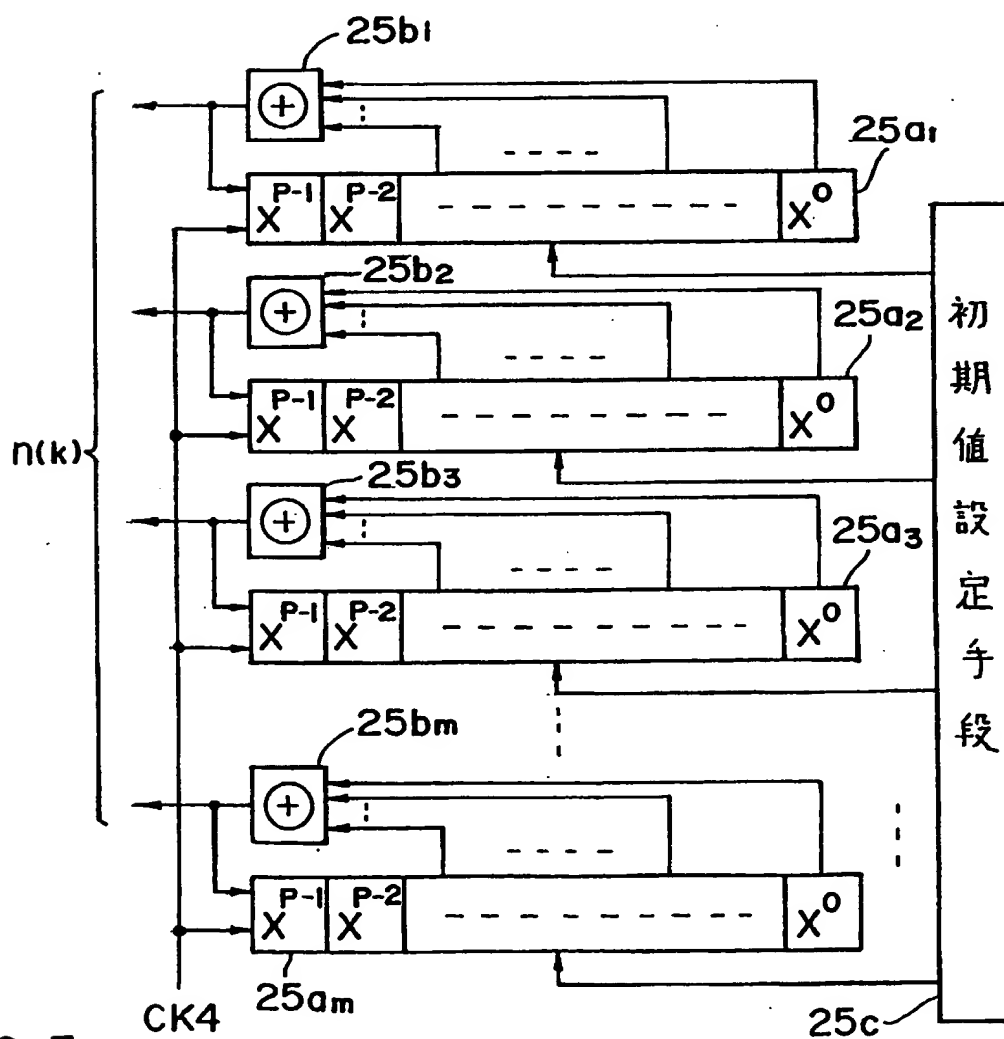


FIG. 7

**THIS PAGE BLANK (USPTO)**

5/35

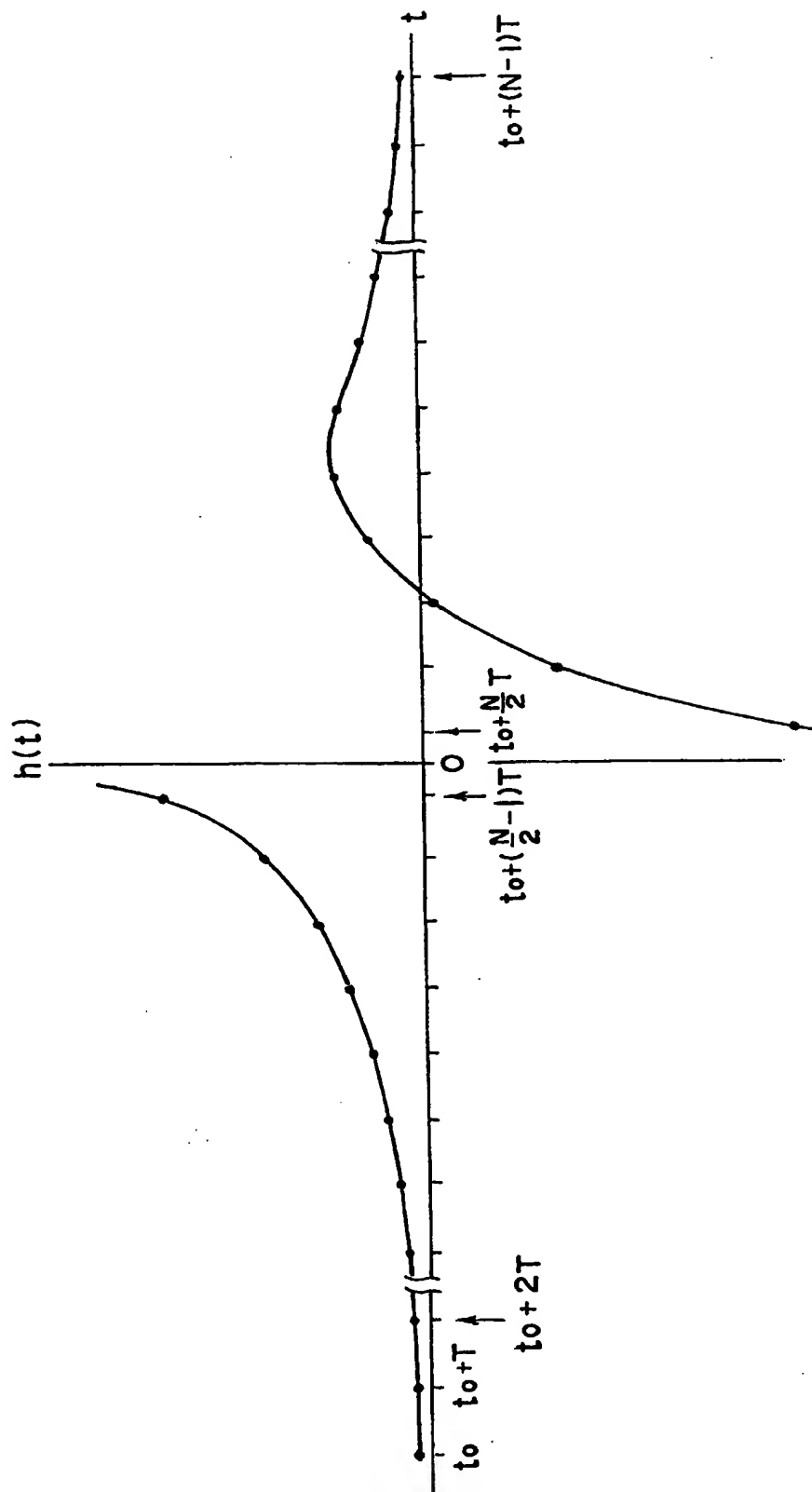


FIG.8

**THIS PAGE BLANK (USPTO)**

6/35

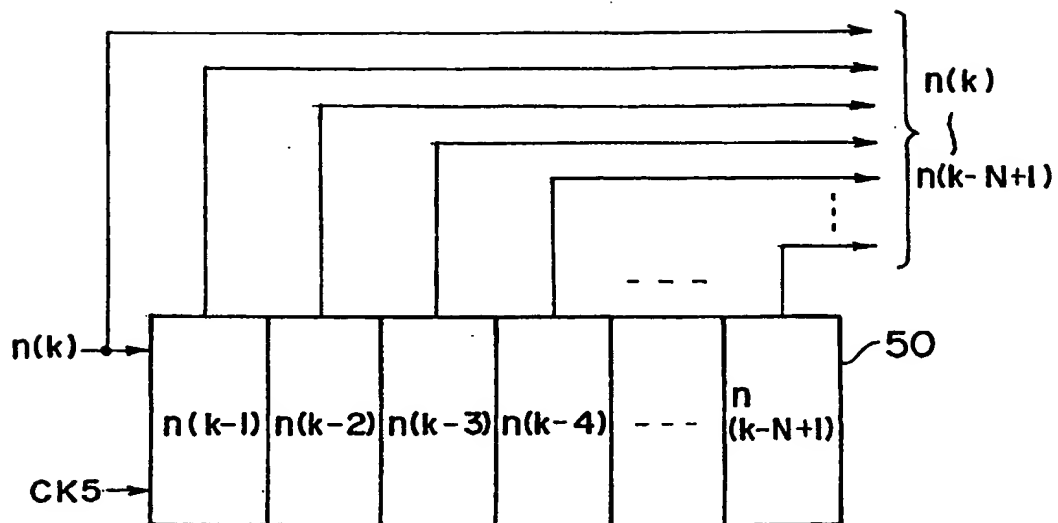


FIG. 9

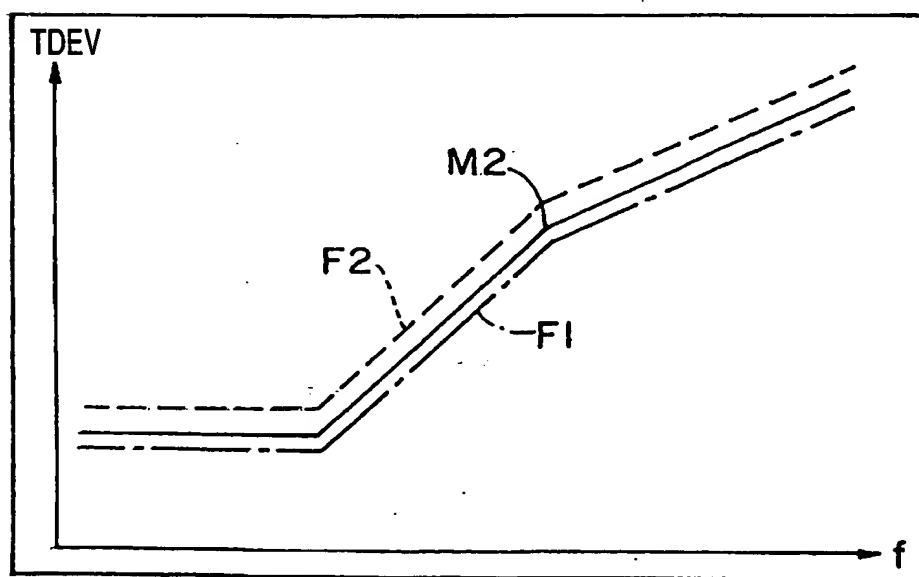


FIG. 11

**THIS PAGE BLANK (USPTO)**



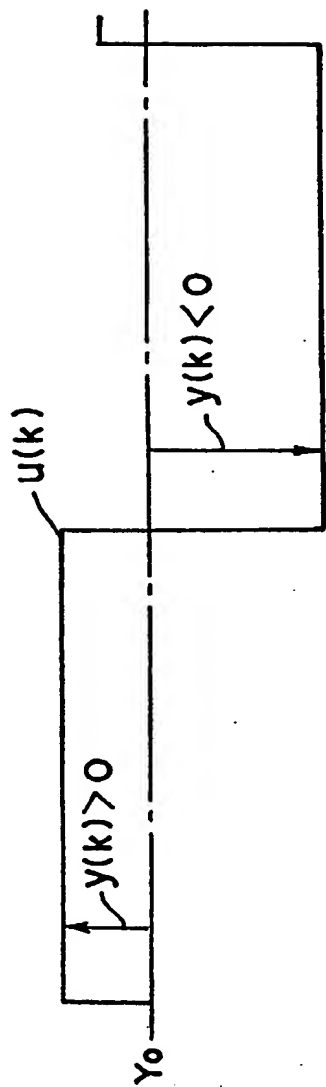


FIG. 10A

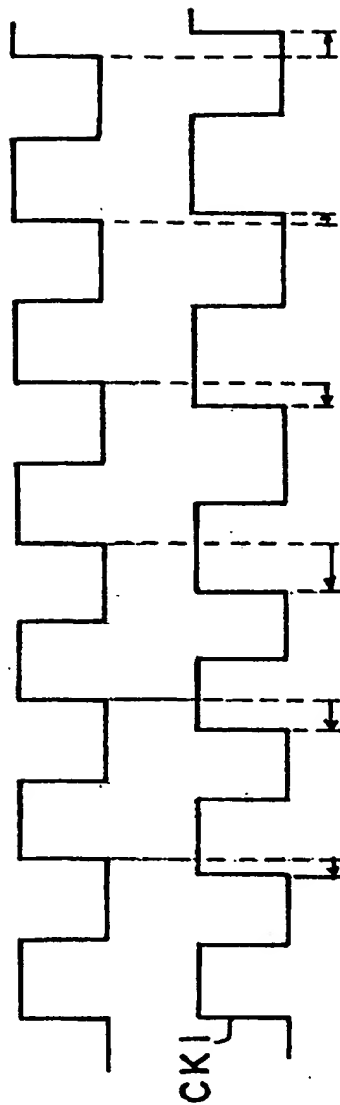


FIG. 10B

FIG. 10C

**THIS PAGE BLANK (USPTO)**

8/35

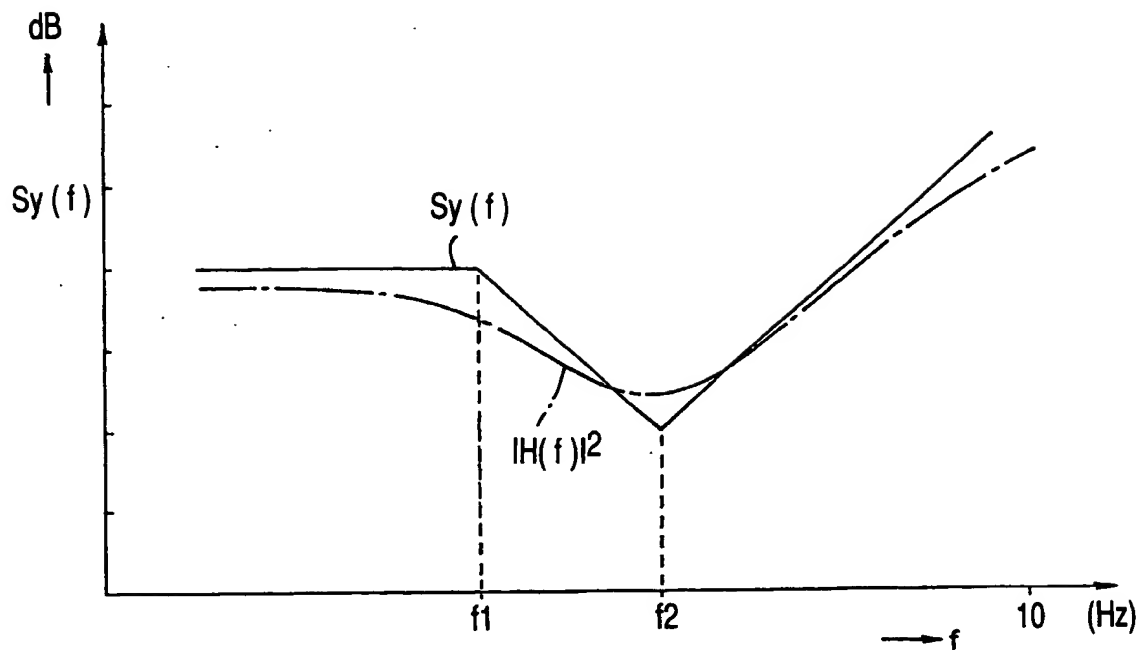


FIG. 12

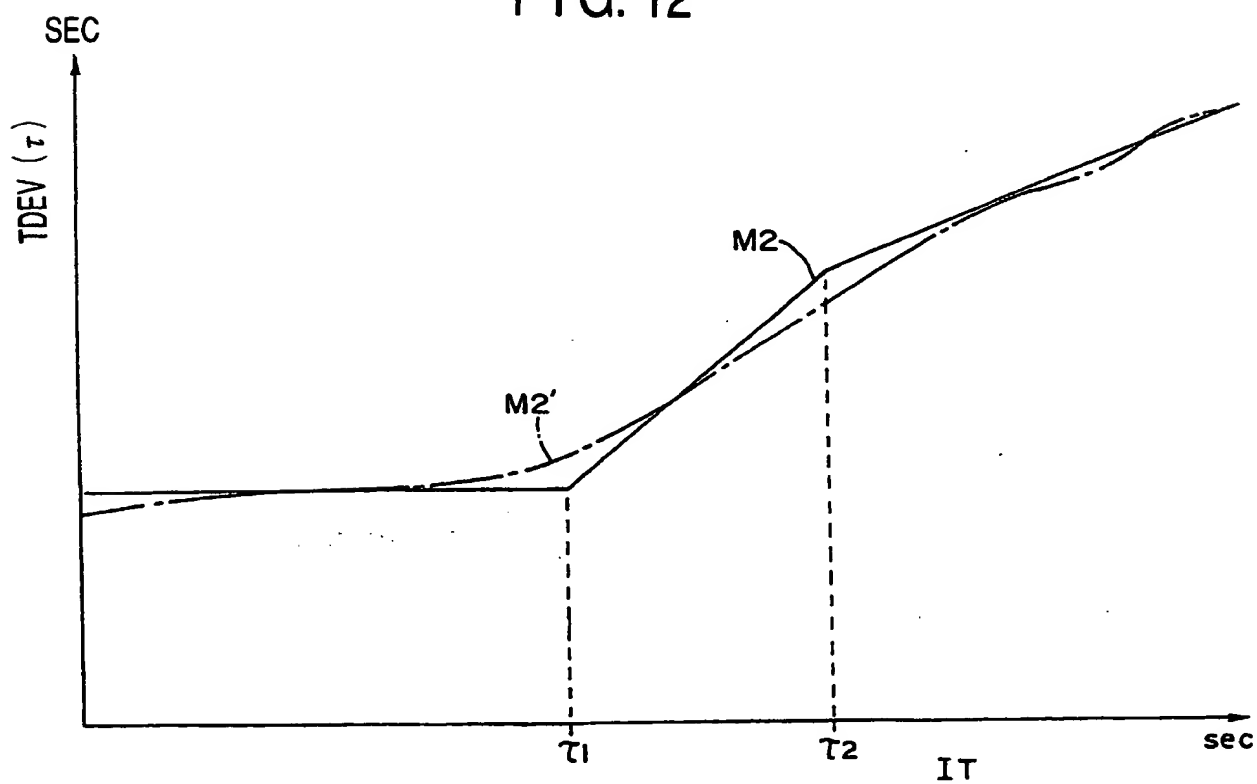


FIG. 13

**THIS PAGE BLANK (USP)**

9/35

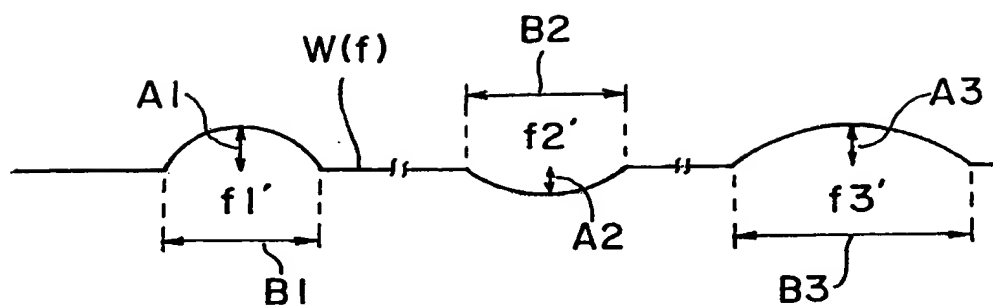


FIG. 14

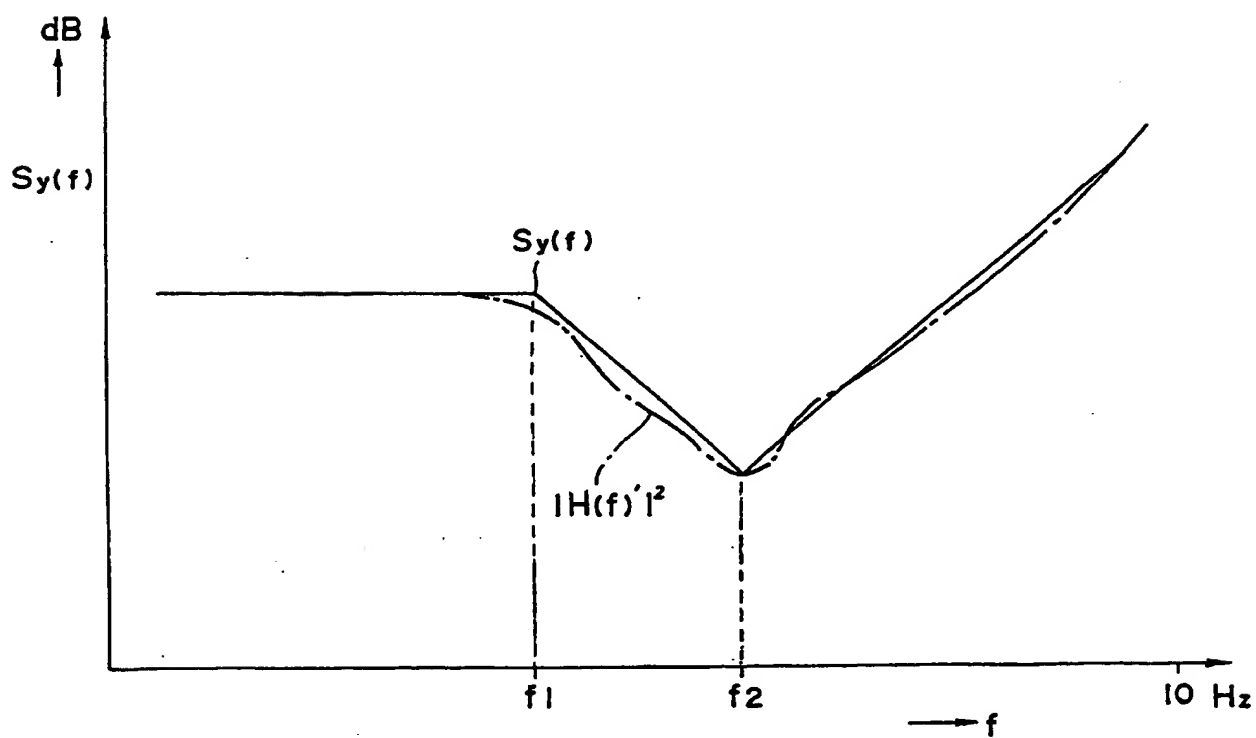


FIG. 15

**THIS PAGE BLANK (USPTO)**

10/35

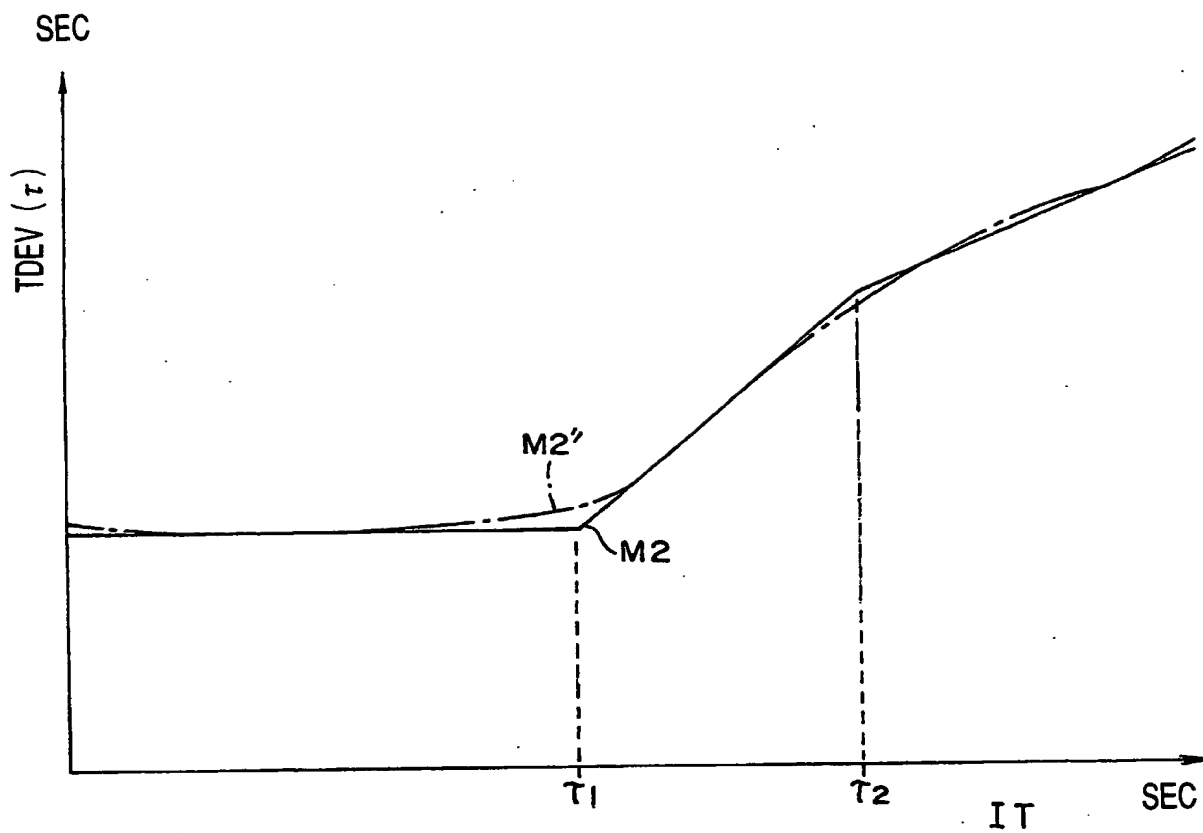


FIG. 16

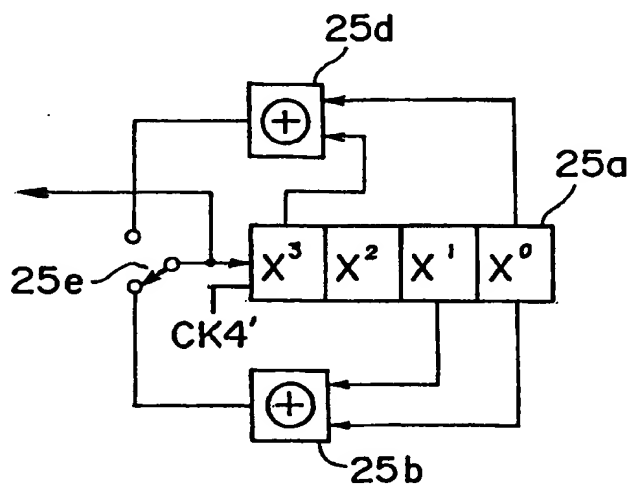


FIG. 17

**THIS PAGE BLANK (UCP10)**



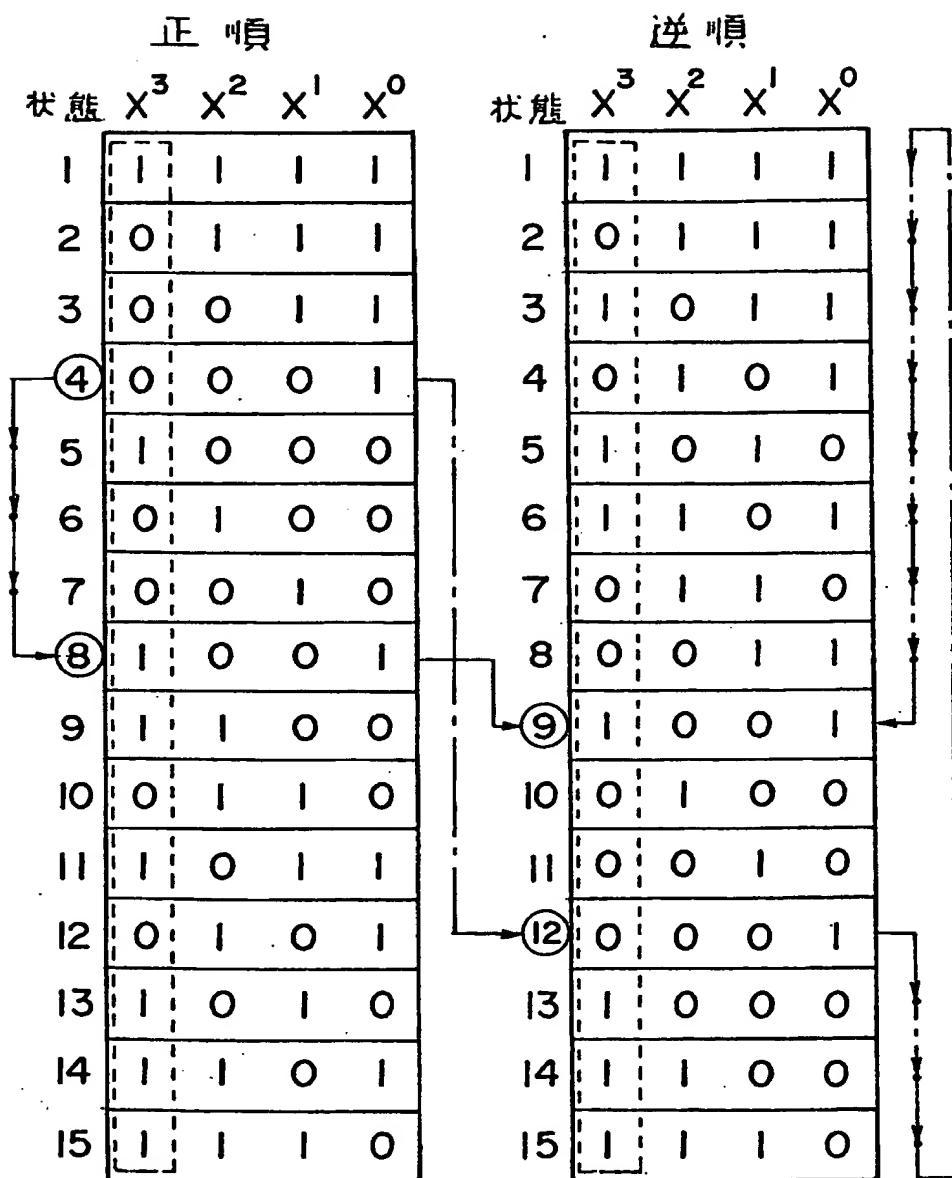
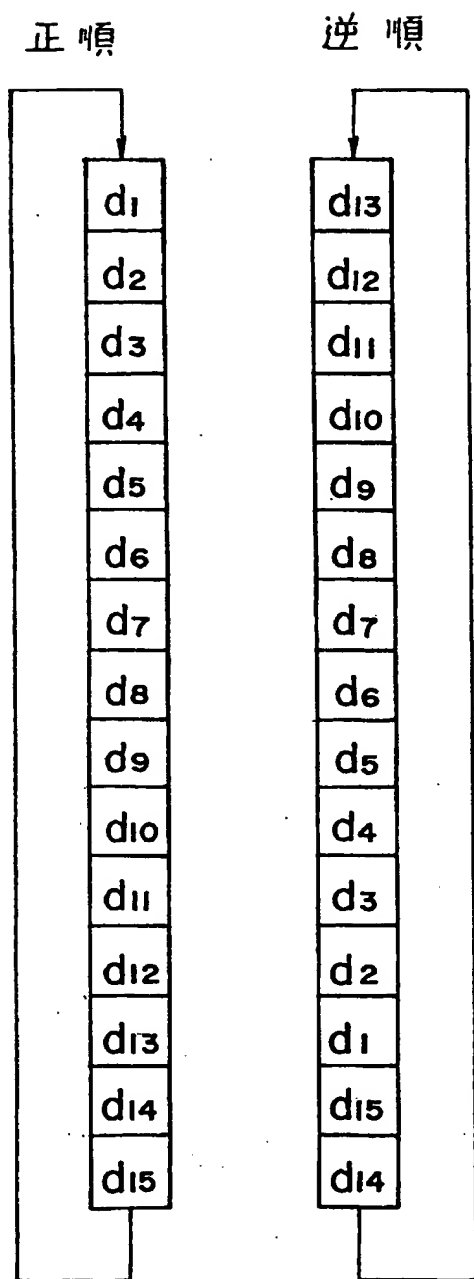


FIG. 18A

FIG. 18B

**THIS PAGE BLANK (150701)**

12/35



状態対応	
正順	逆順
1	1
2	2
3	8
4	12
5	13
6	10
7	11
8	9
9	14
10	7
11	3
12	4
13	5
14	6
15	15

FIG. 20

**THIS PAGE BLANK (USPFO)**

13/35

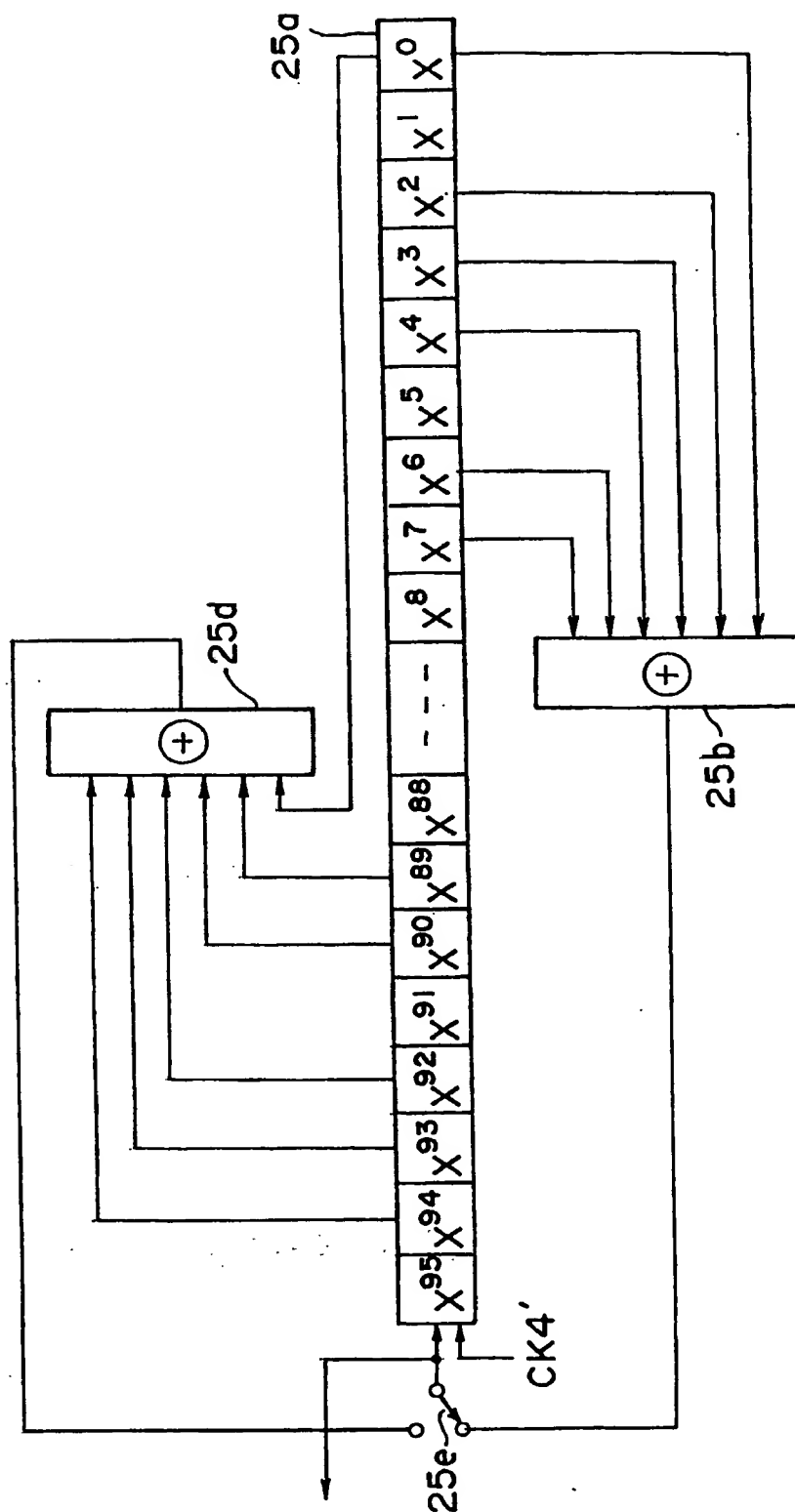


FIG. 21

**THIS PAGE BLANK (USPTO)**

14/35

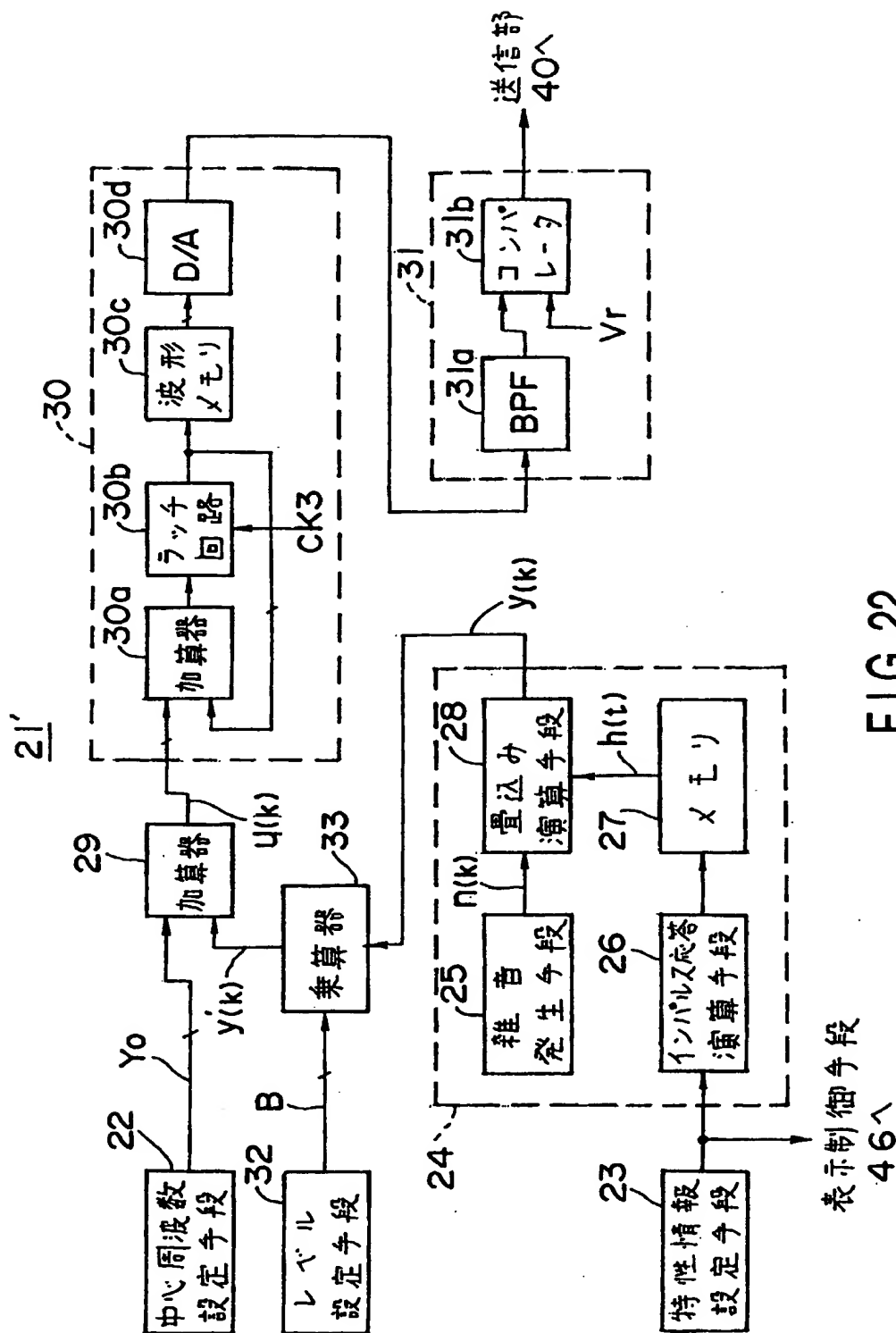


FIG. 22

**THIS PAGE BLANK (12/27/01)**



15/35

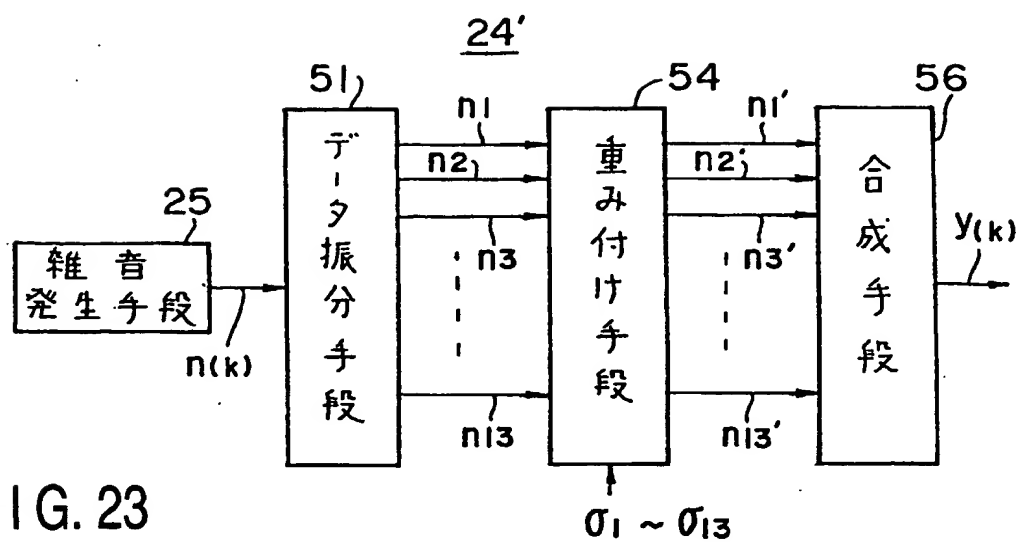


FIG. 23

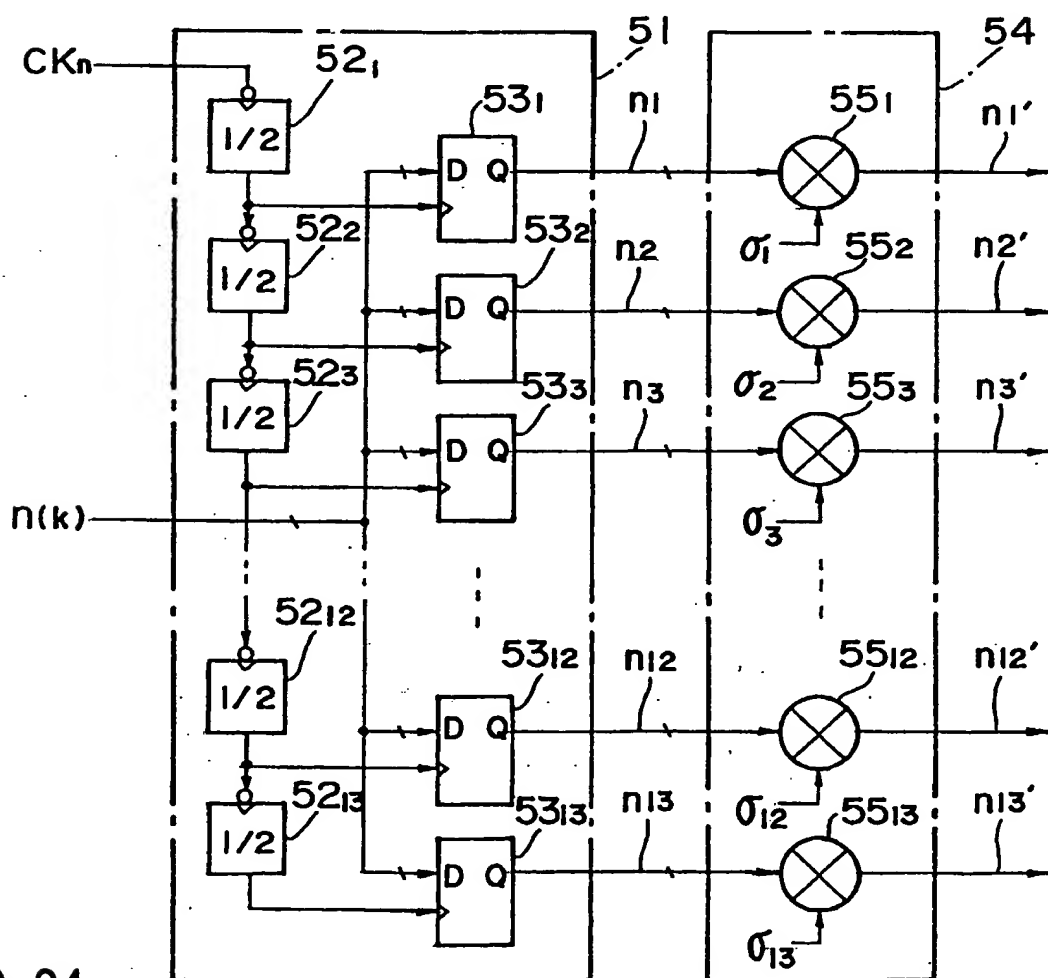
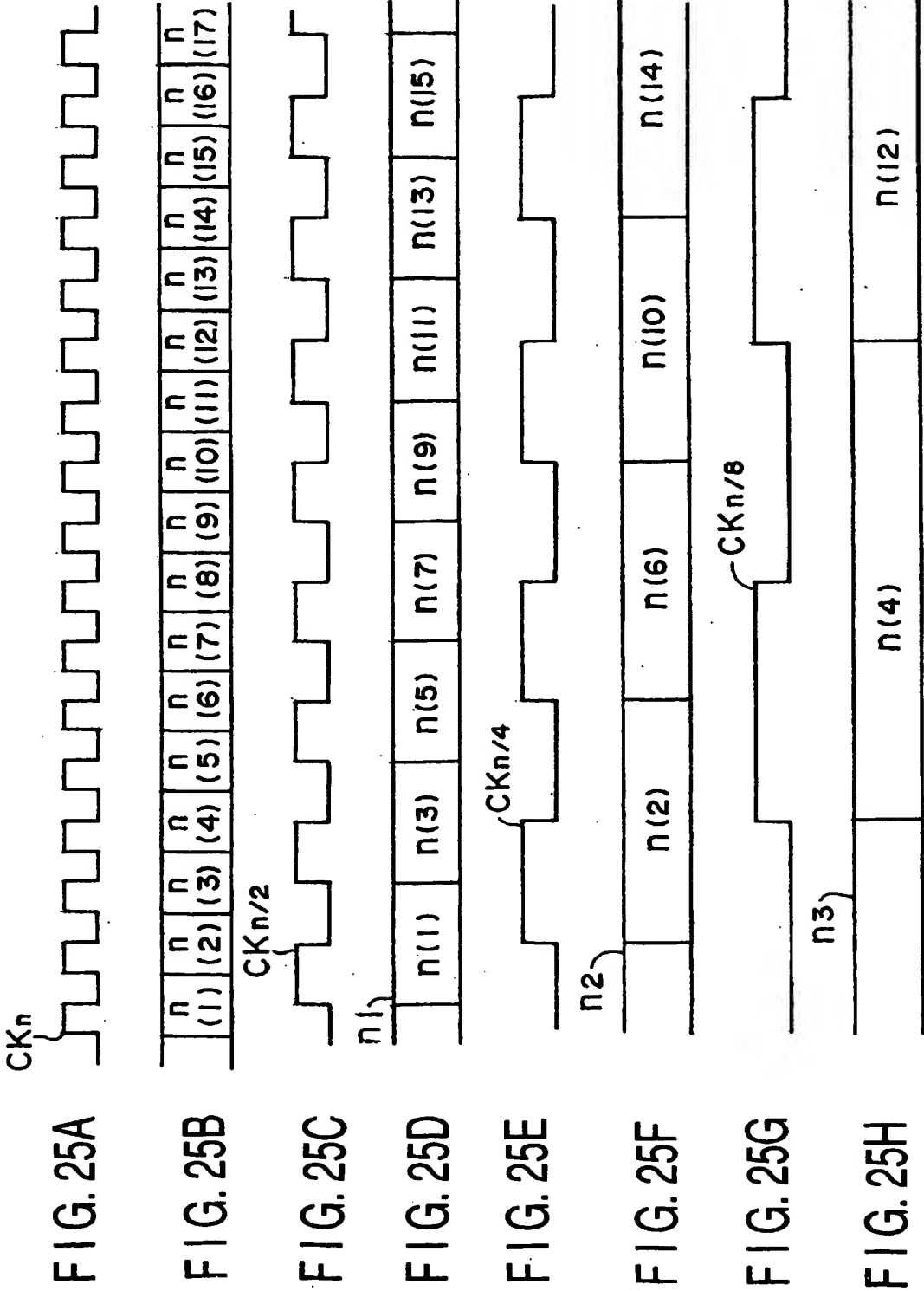


FIG. 24

**THIS PAGE BLANK (15074)**



**THIS PAGE BLANK (USPTO)**

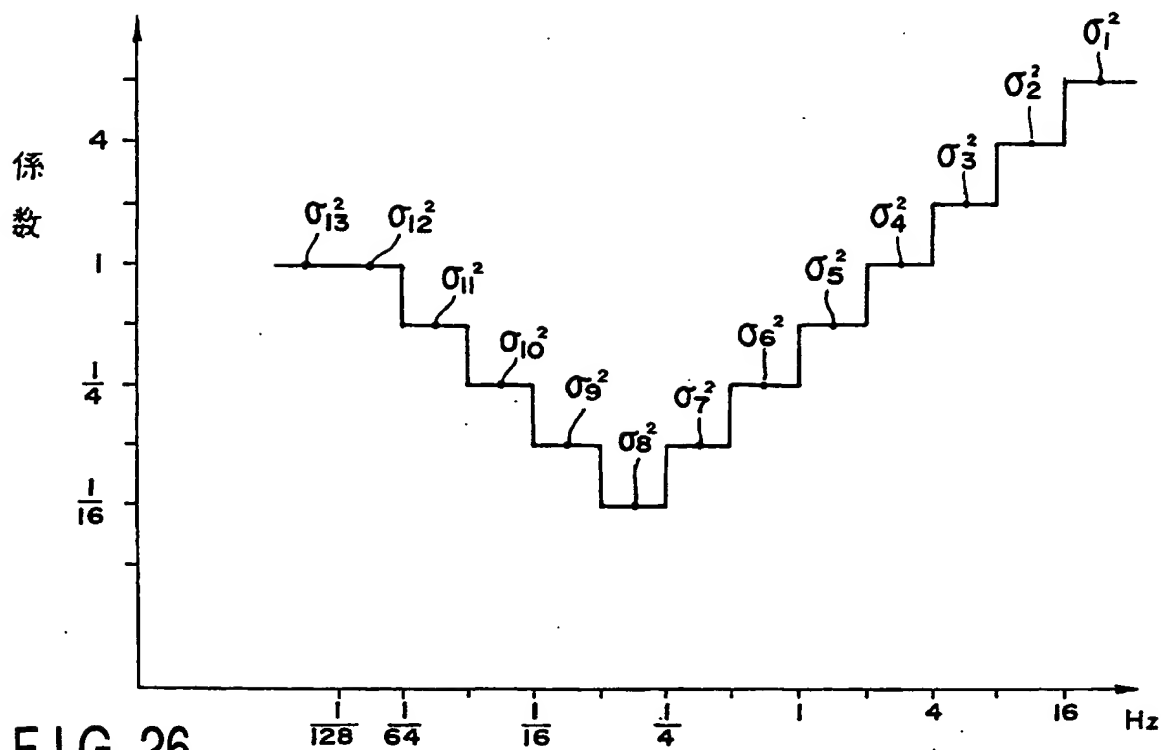


FIG. 26

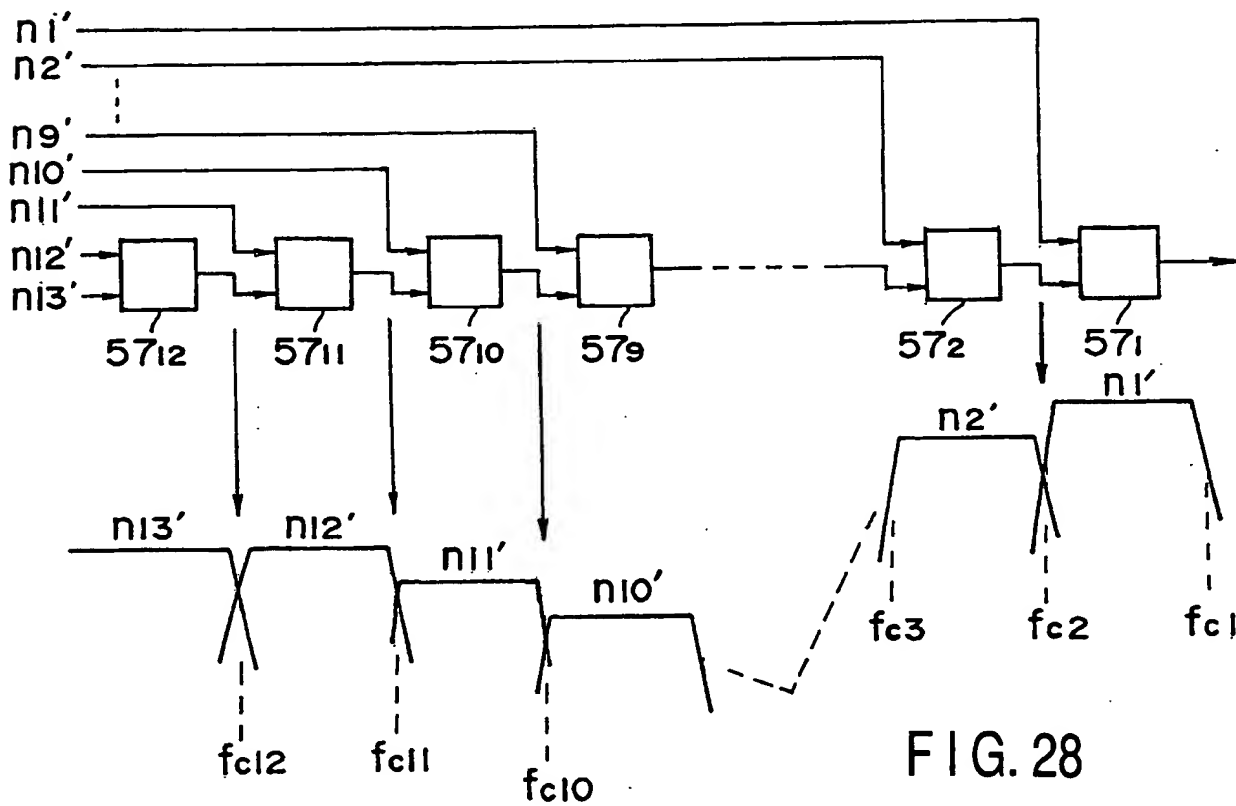


FIG. 28

**THIS PAGE BLANK (USPTO)**

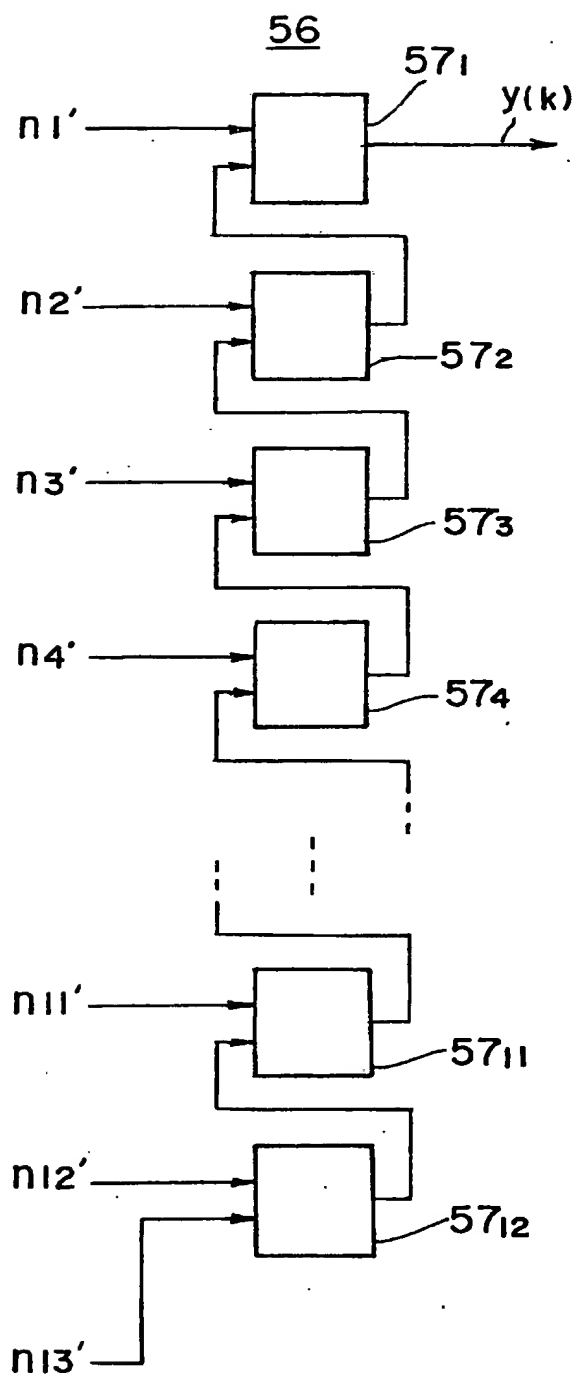


FIG. 27

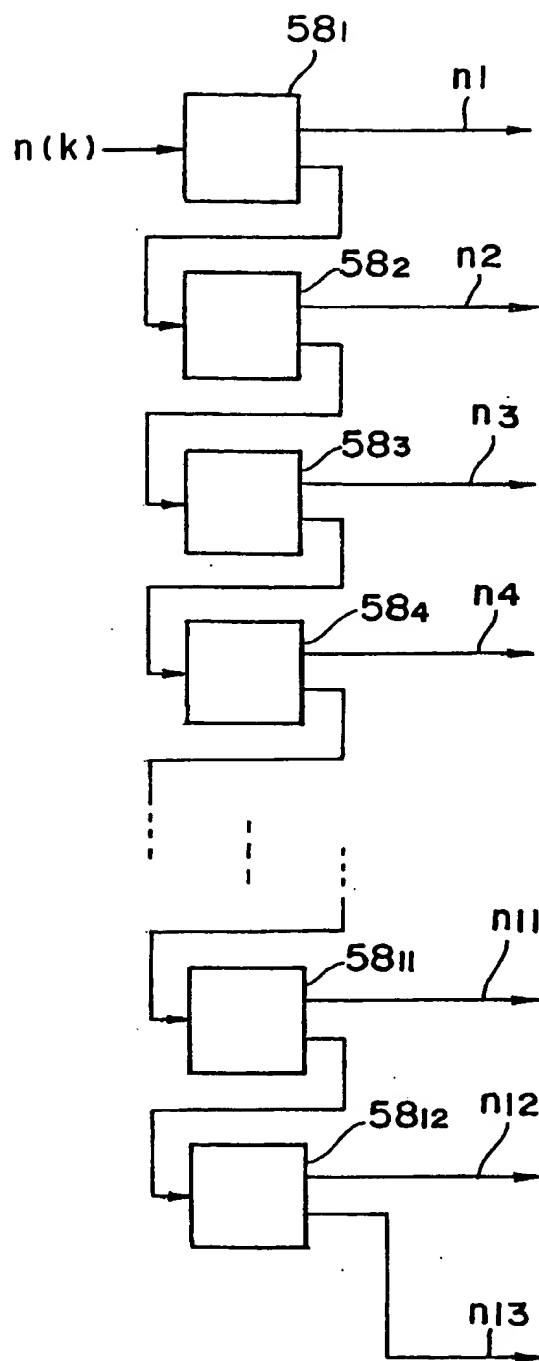


FIG. 30

**THIS PAGE BLANK (UNPTG)**



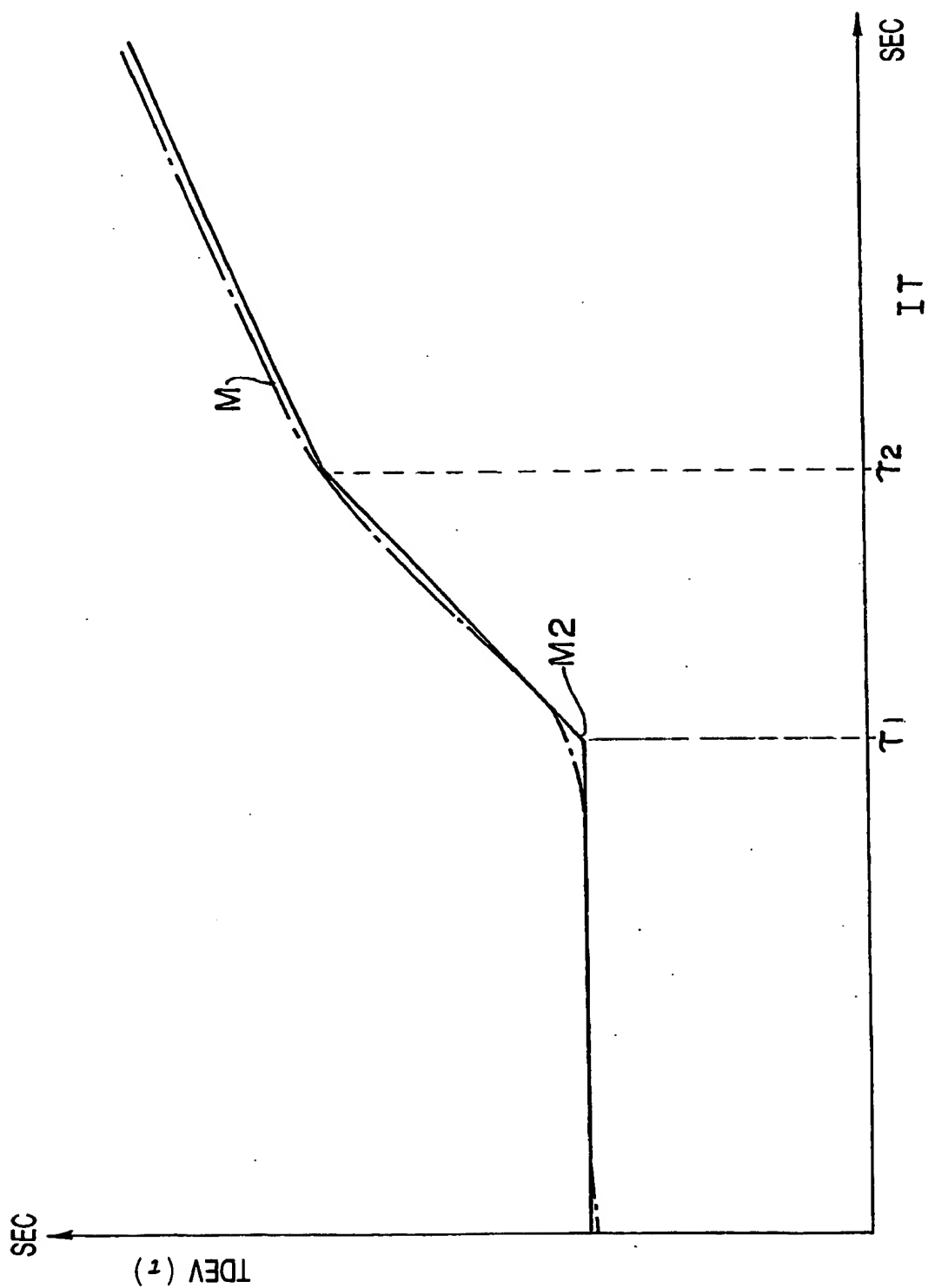


FIG. 29

**THIS PAGE BLANK (USPTO)**

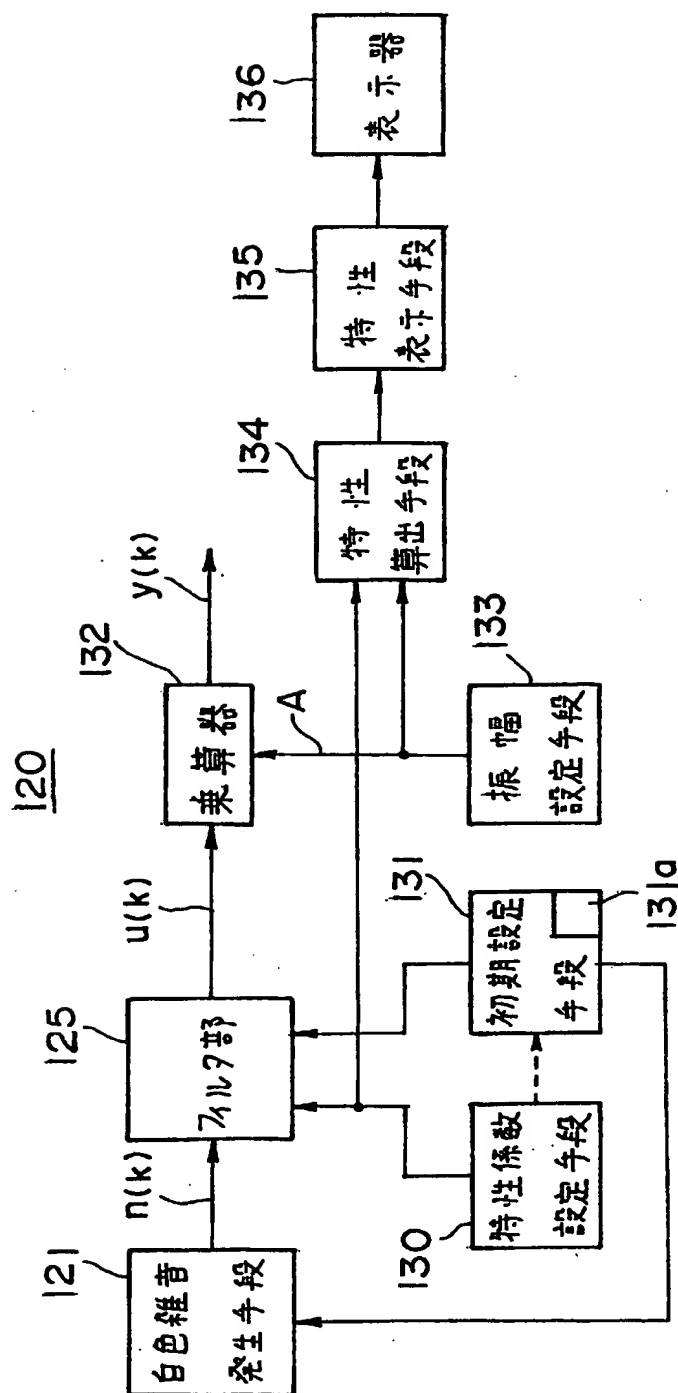


FIG. 31

**THIS PAGE BLANK (USPTO)**

21/35

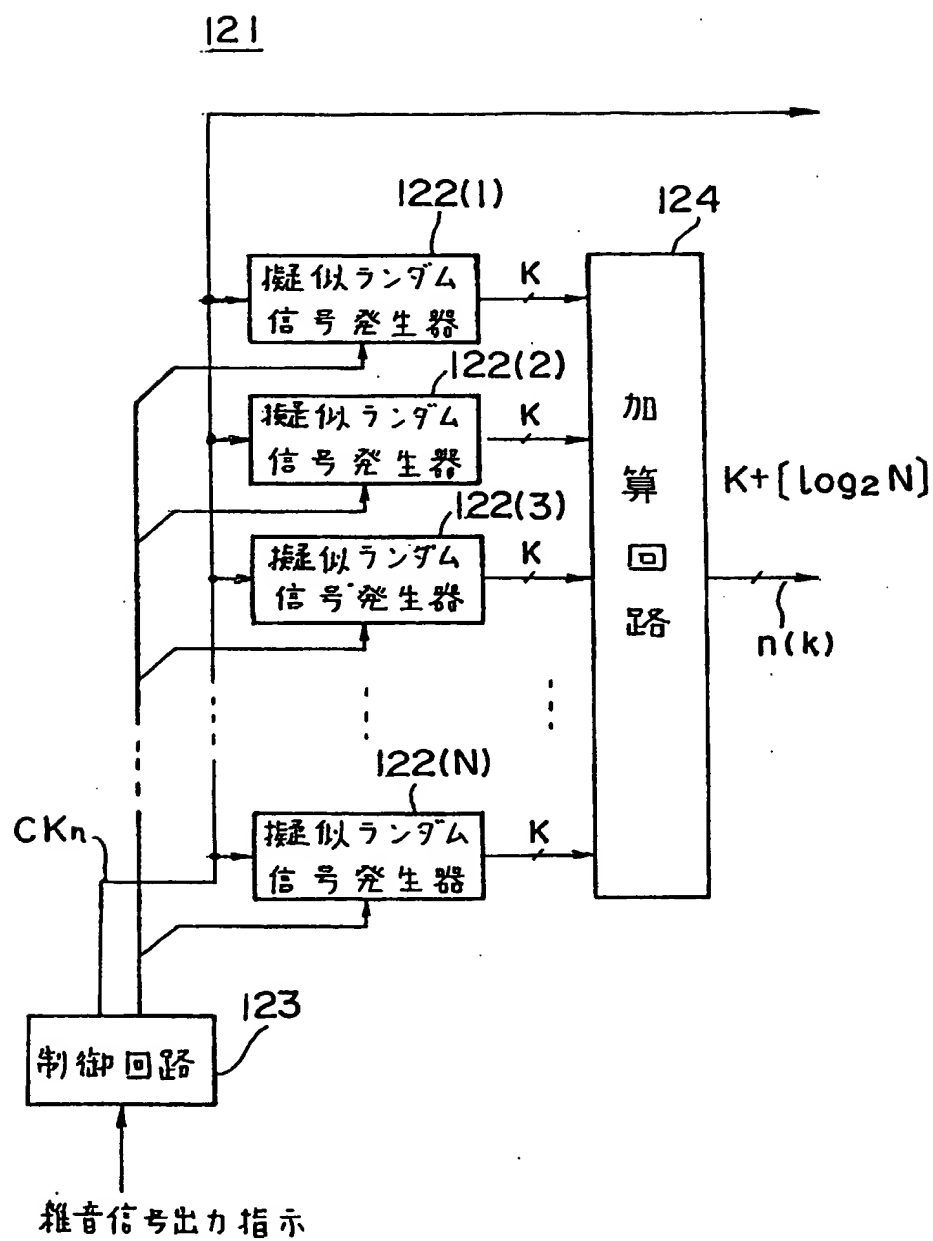


FIG. 32

**THIS PAGE BLANK (U8PTO)**

22/35

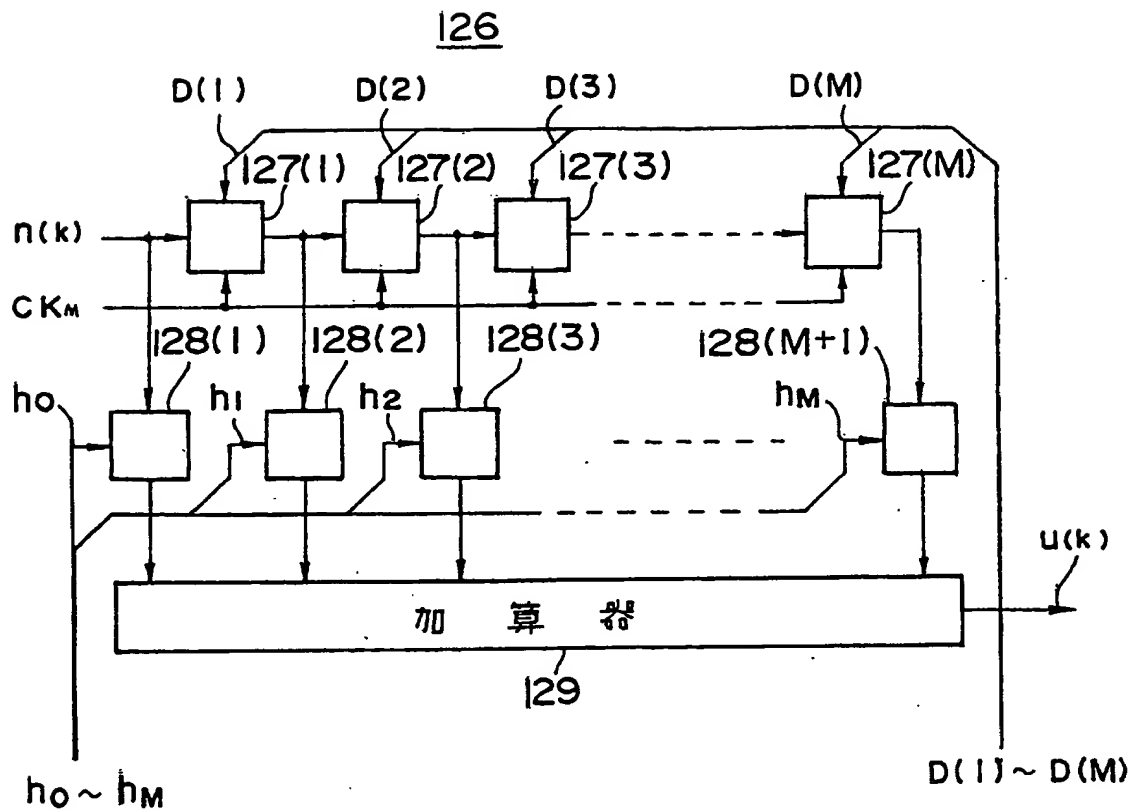


FIG. 33

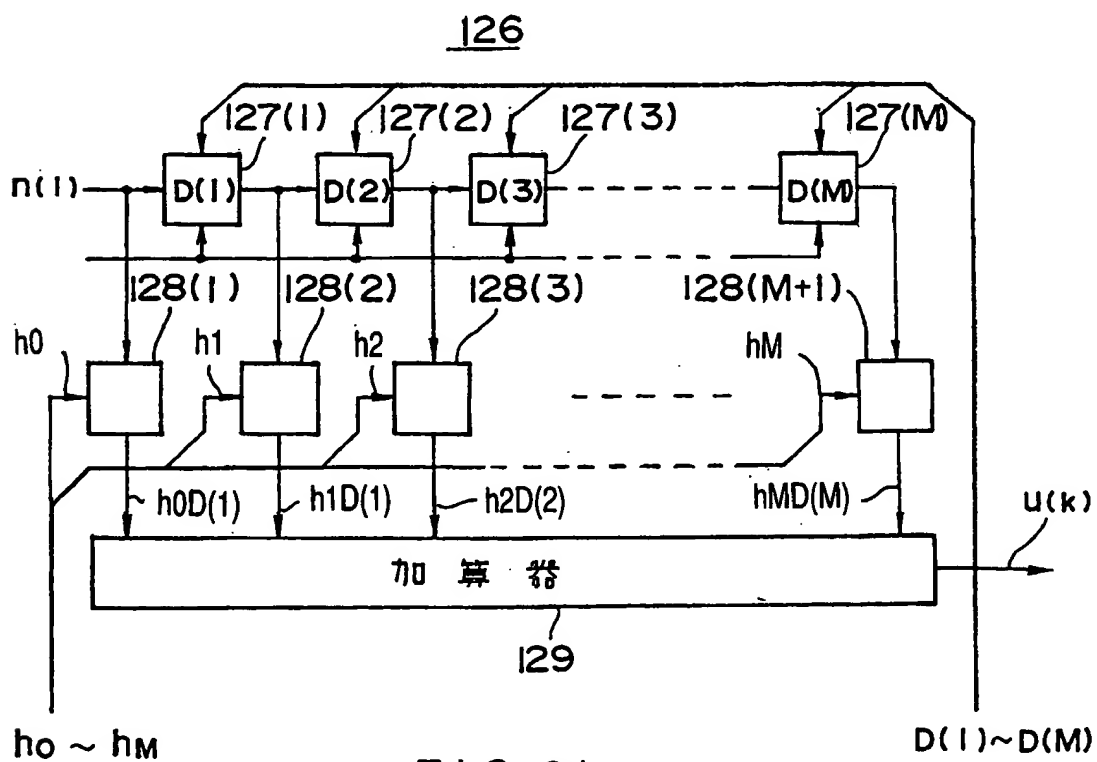


FIG. 34

**THIS PAGE BLANK (USPTO)**



23/35

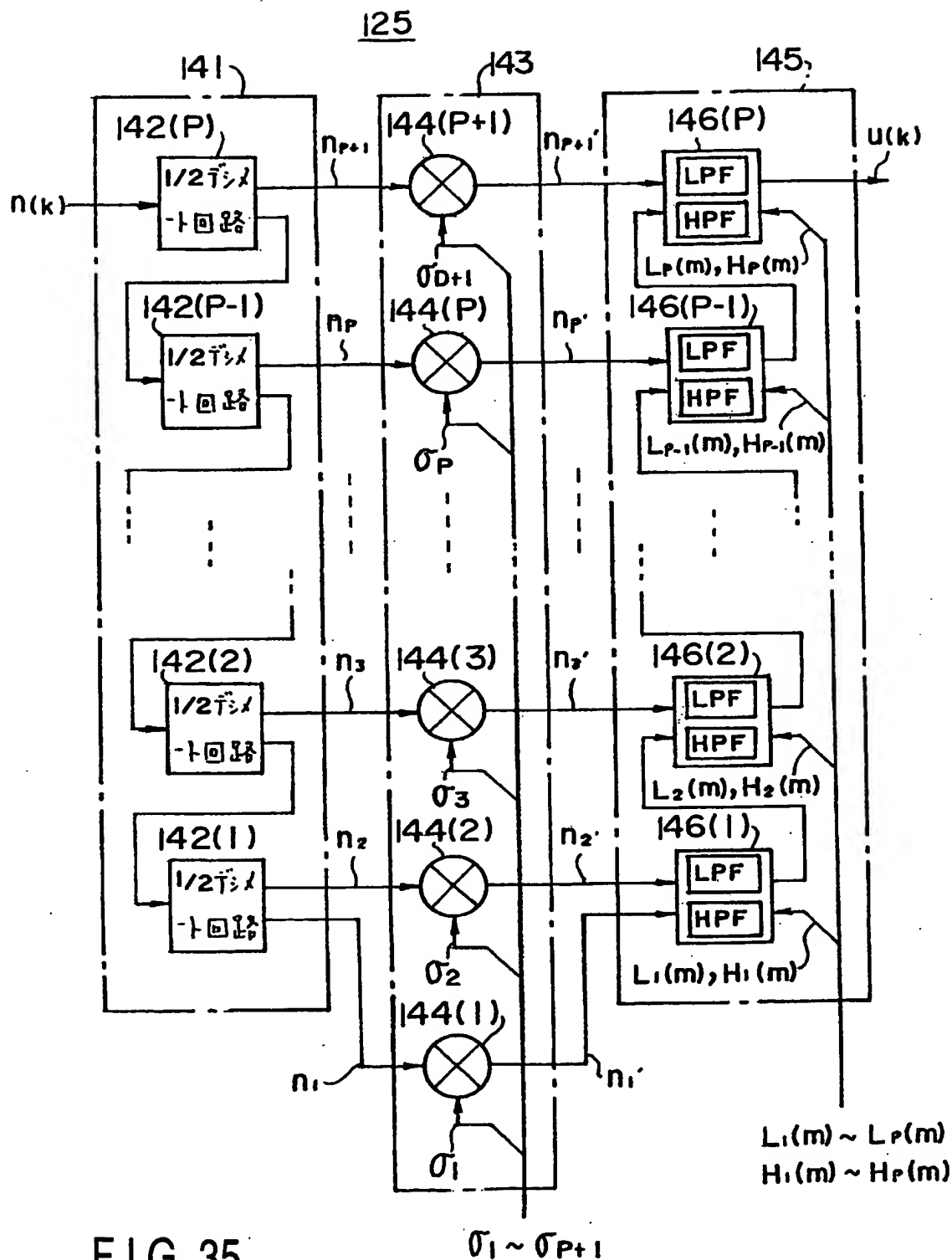


FIG. 35

**THIS PAGE BLANK (USPTO)**

$$n(k) \left\{ \begin{array}{cccccccccccccccccccc} n(1) & n(2) & n(3) & n(4) & n(5) & n(6) & n(7) & n(8) & n(9) & n(10) & n(11) & n(12) & n(13) & n(14) & n(15) & n(16) & n(17) & n(18) \end{array} \right.$$

FIG. 36A

$$n_{P+1} \left\{ \begin{array}{cccccccccccccccc} n(1) & n(3) & n(5) & n(7) & n(9) & n(11) & n(13) & n(15) & n(17) \end{array} \right.$$

FIG. 36B

$$n_P \left\{ \begin{array}{cccccccccccc} n(2) & n(6) & n(10) & n(14) & n(18) \end{array} \right.$$

FIG. 36C

$$n_{P-1} \left\{ \begin{array}{ccccc} n(4) & n(12) \end{array} \right.$$

FIG. 36D

$$n_{P-2} \left\{ \begin{array}{ccc} n(8) \end{array} \right.$$

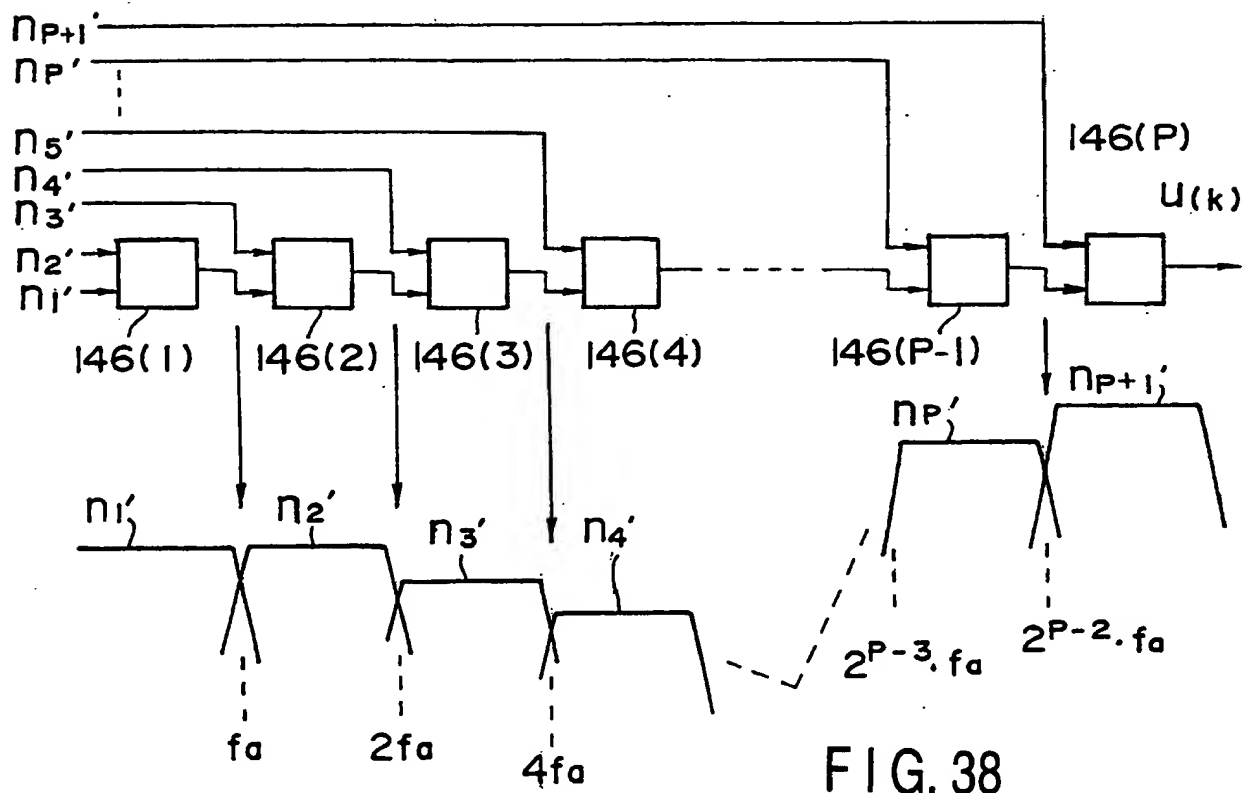
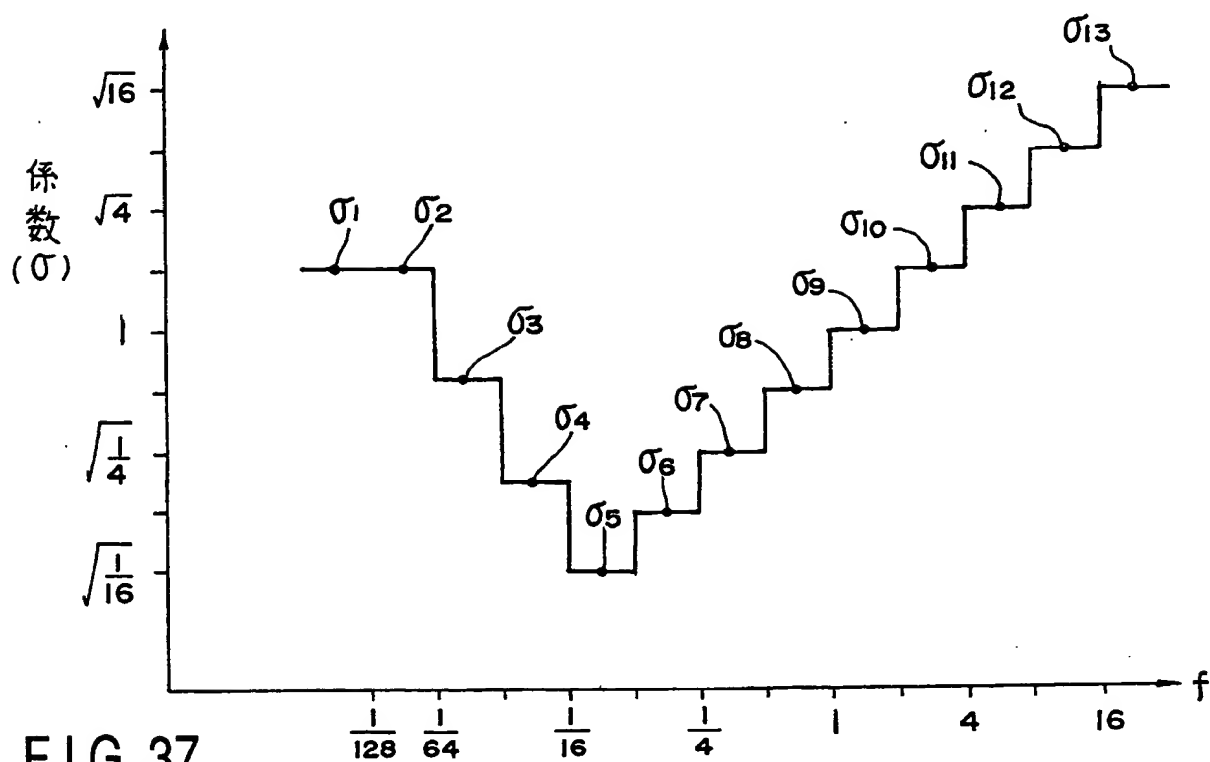
FIG. 36E

$$n_{P-3} \left\{ \begin{array}{ccc} n(16) \end{array} \right.$$

FIG. 36F

**THIS PAGE BLANK (USPTO)**

25/35



**THIS PAGE BLANK (USPTO)**

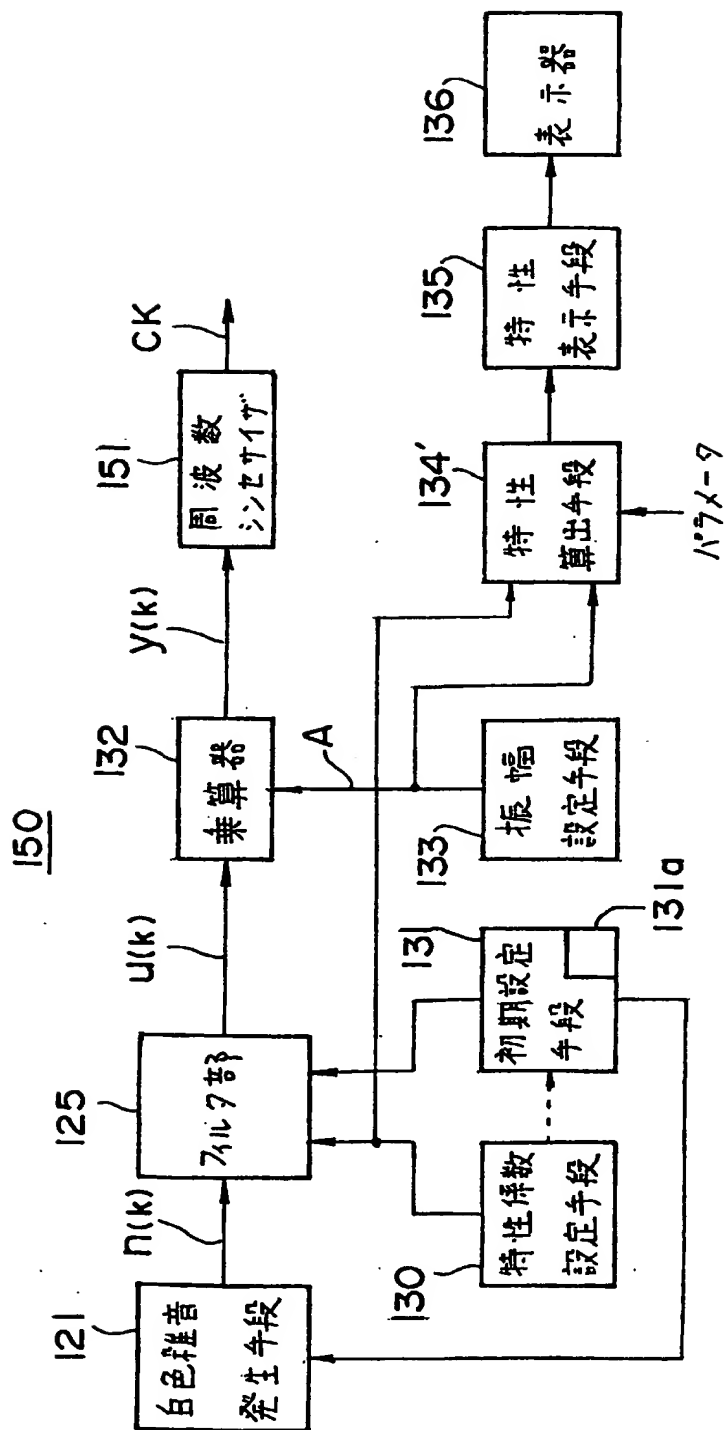


FIG. 39

**THIS PAGE BLANK (USP70)**



27/35

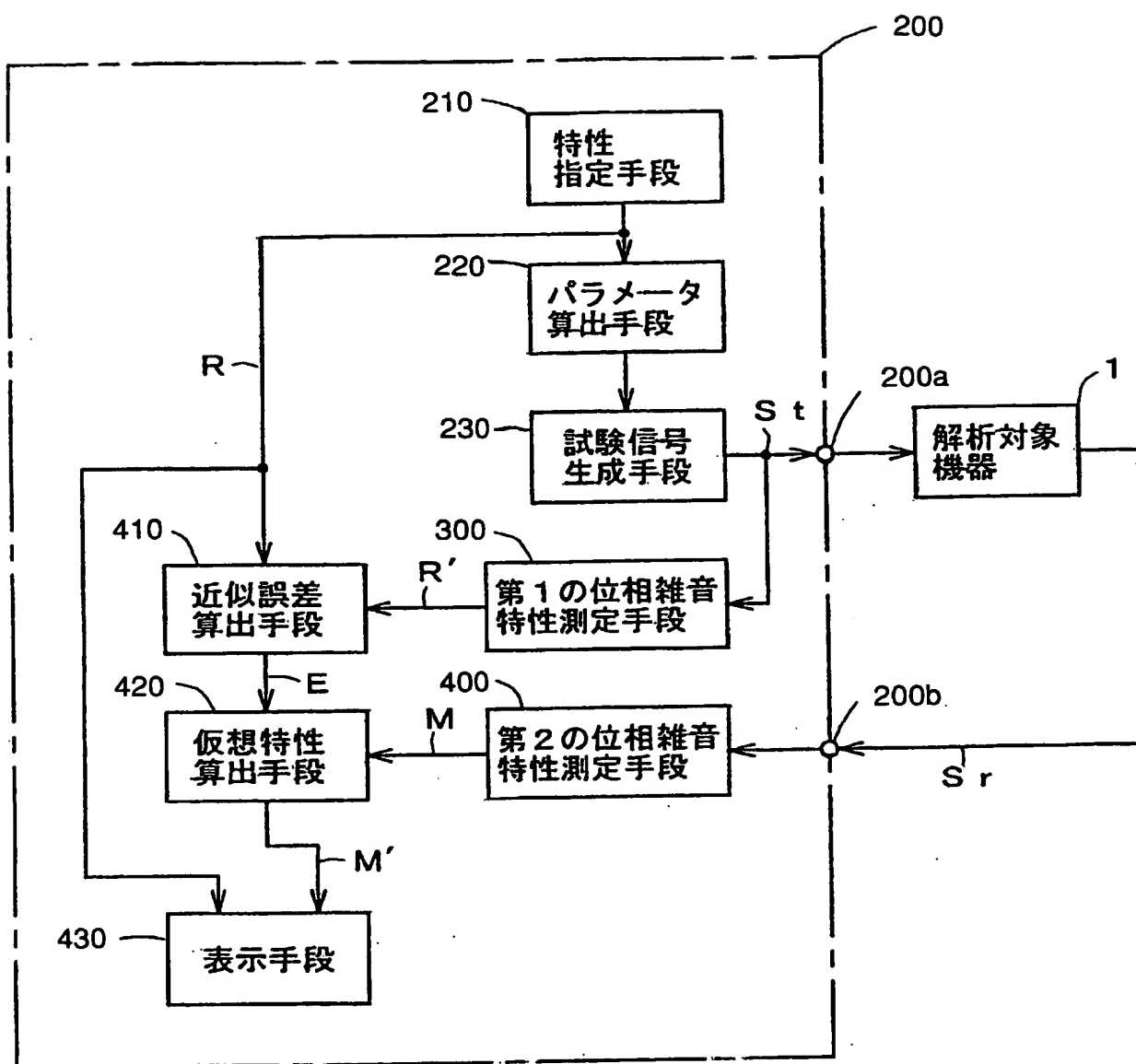


FIG. 40

**THIS PAGE BLANK (USPTO)**

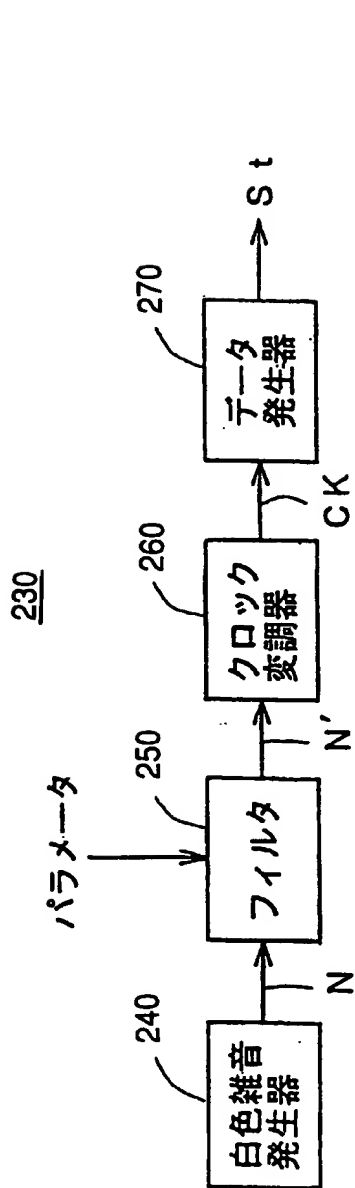


FIG. 41

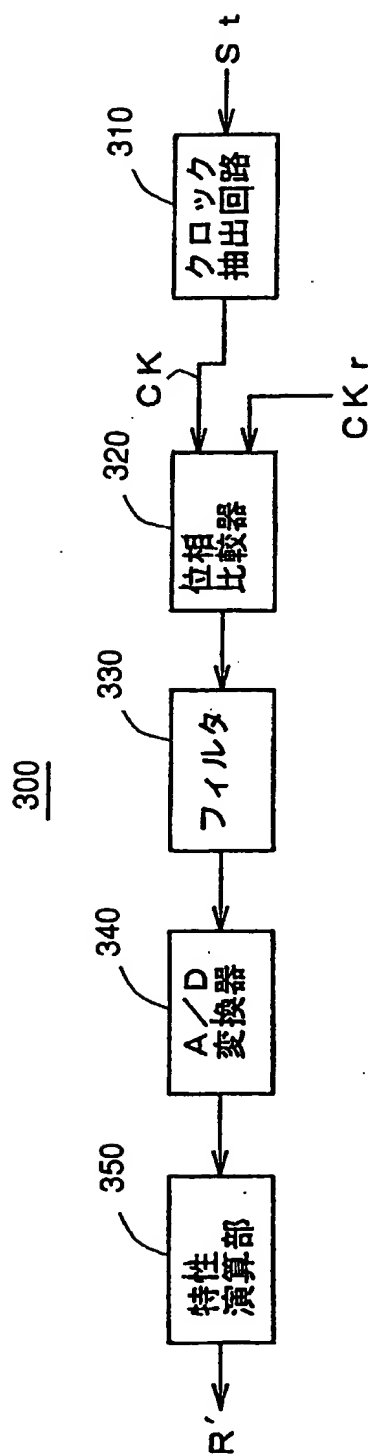


FIG. 42

**THIS PAGE BLANK (USPTO)**

29/35

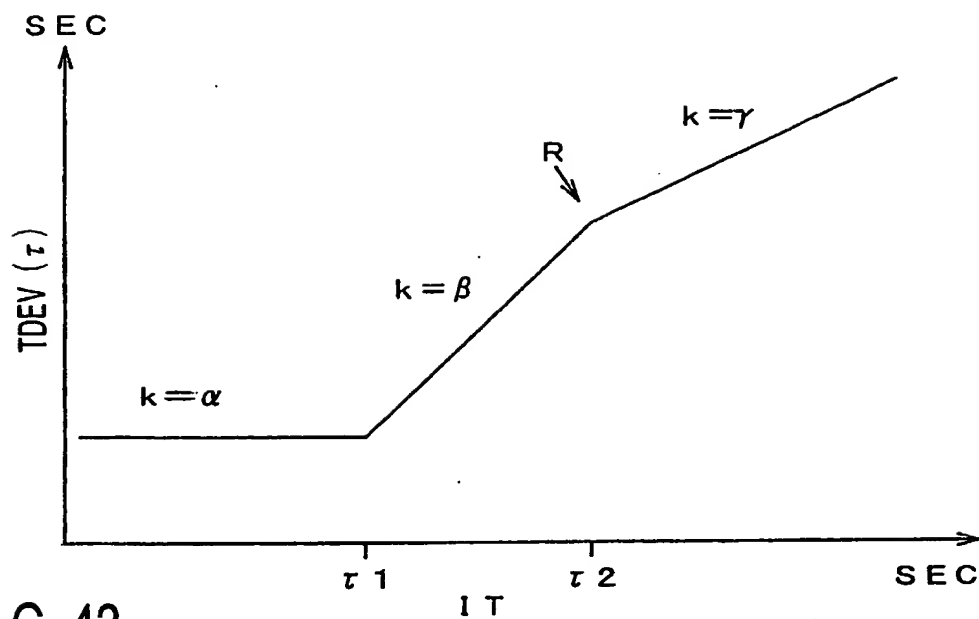


FIG. 43

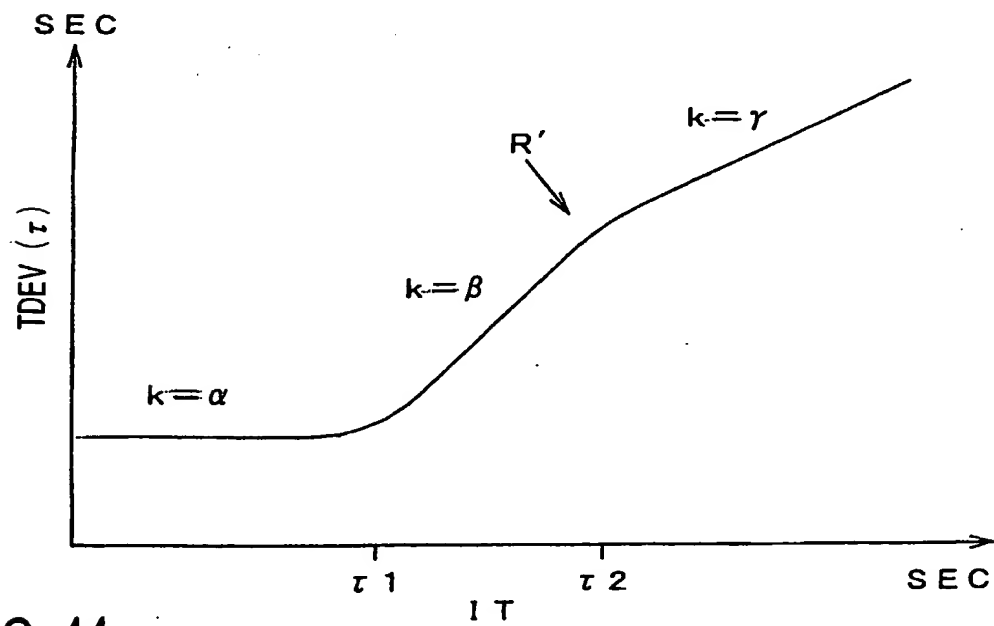


FIG. 44

**THIS PAGE BLANK (USE)**

30/35

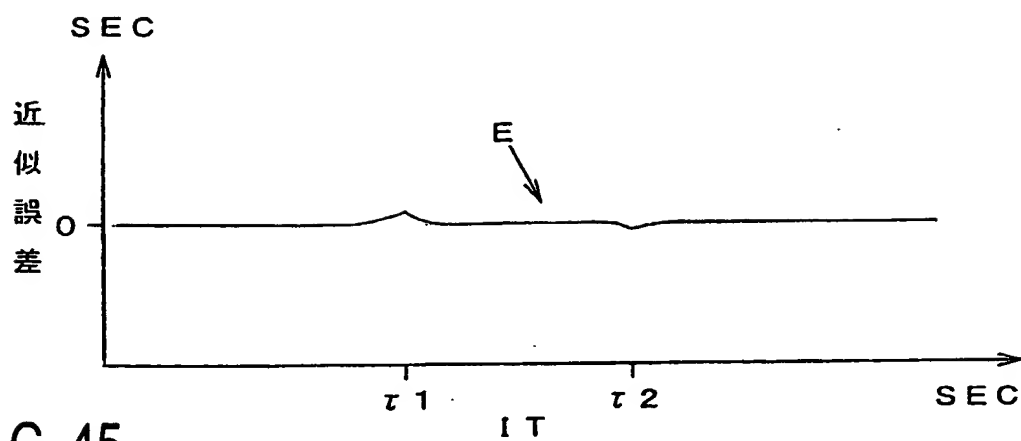


FIG. 45

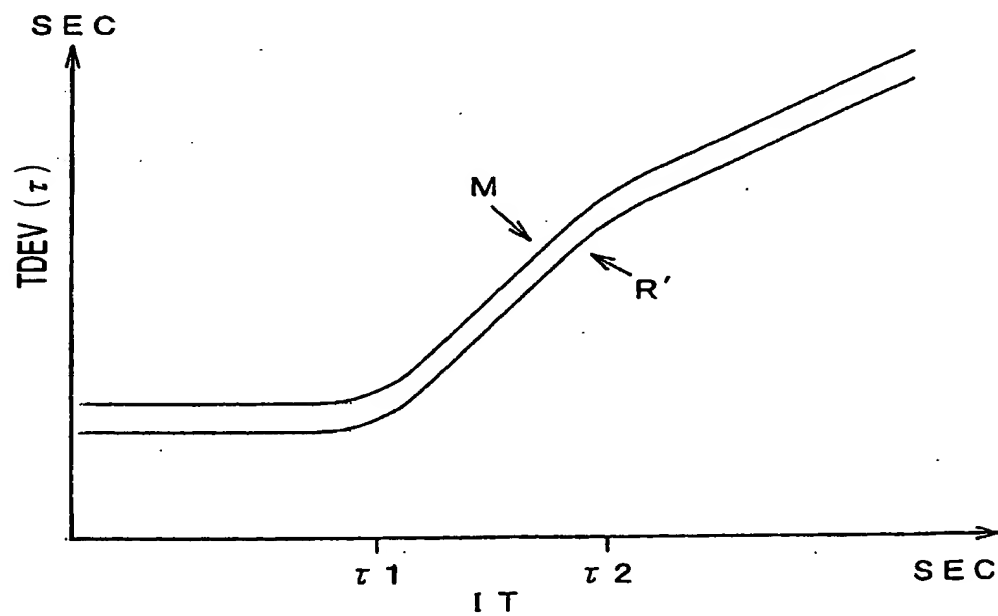


FIG. 46

**THIS PAGE BLANK (USPTO)**



31/35

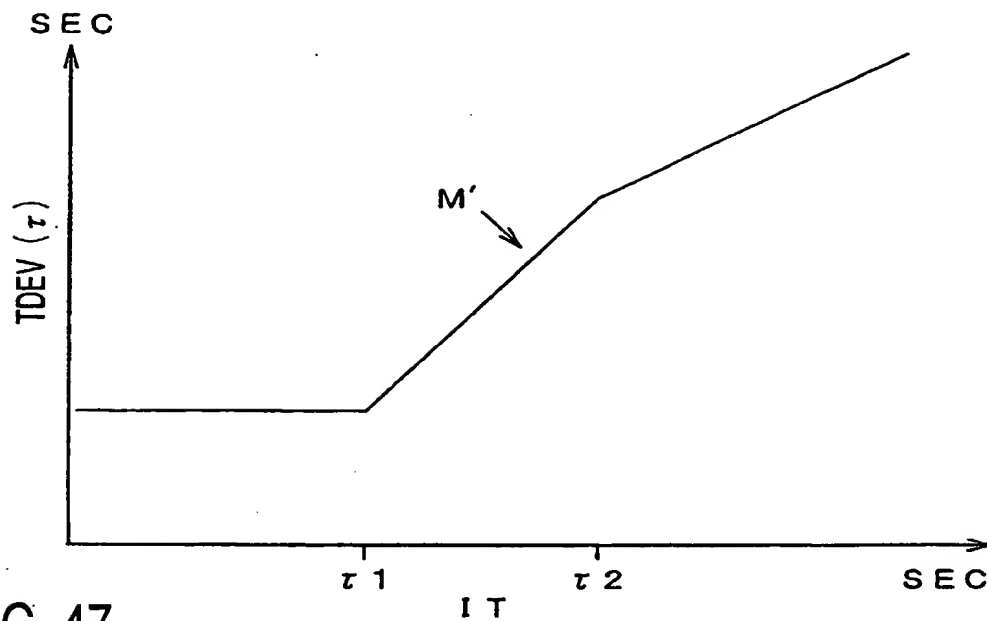


FIG. 47

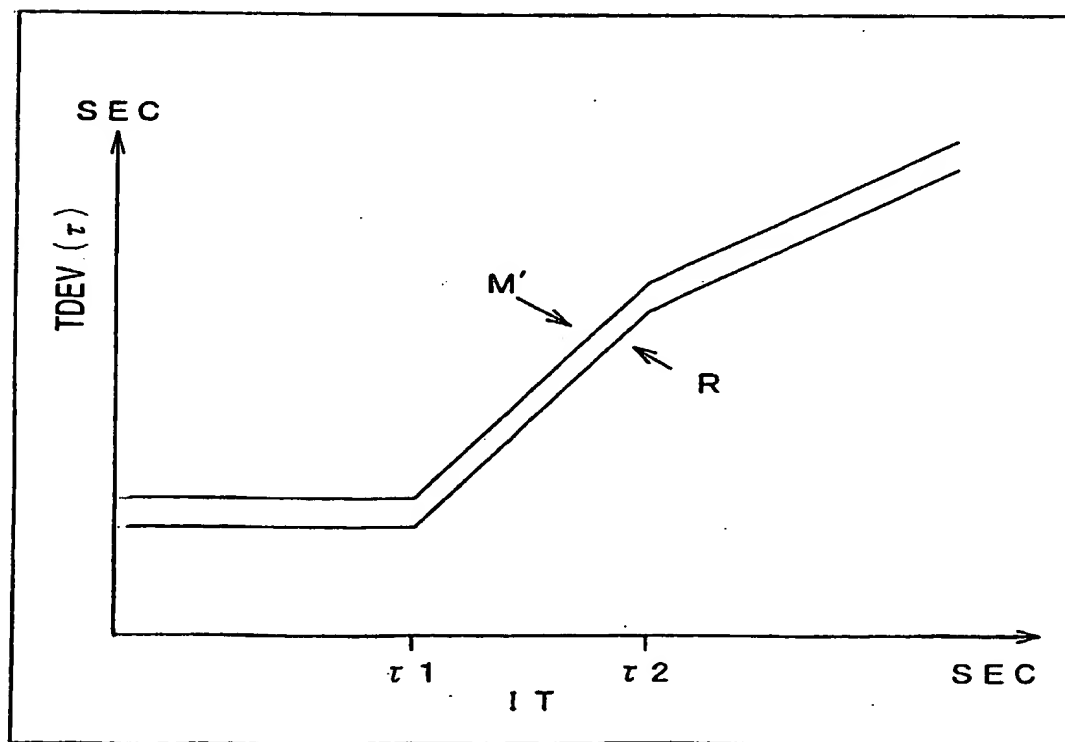


FIG. 48

**THIS PAGE BLANK (USPTO)**

32/35

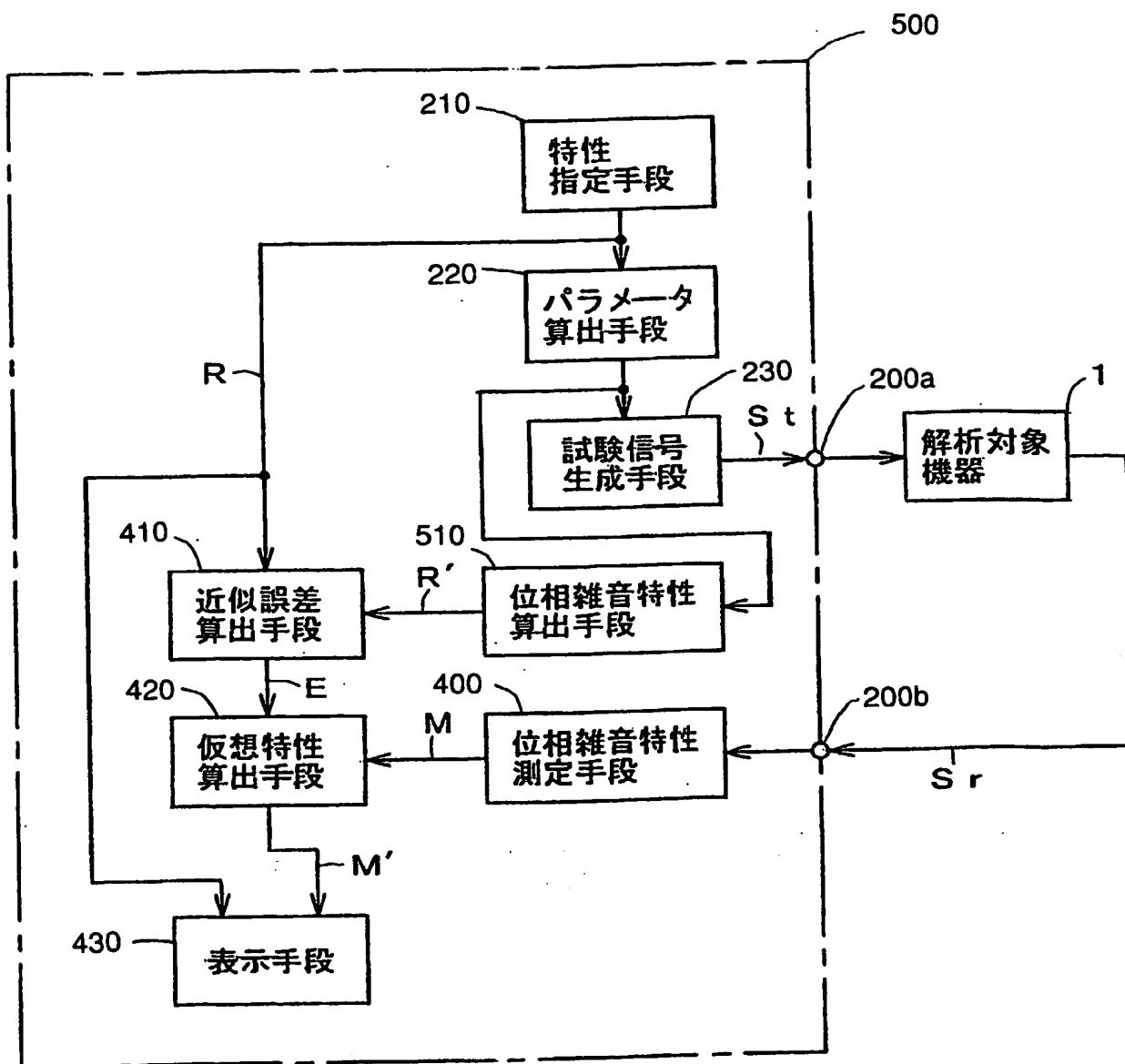


FIG. 49

**THIS PAGE BLANK**

33/35

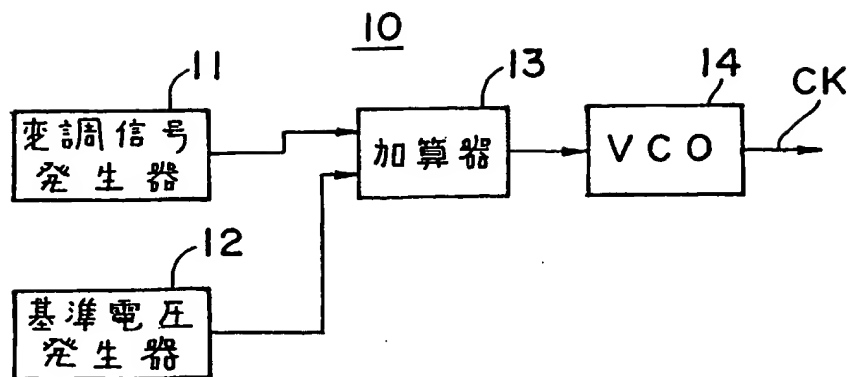


FIG. 50 (従来技術)

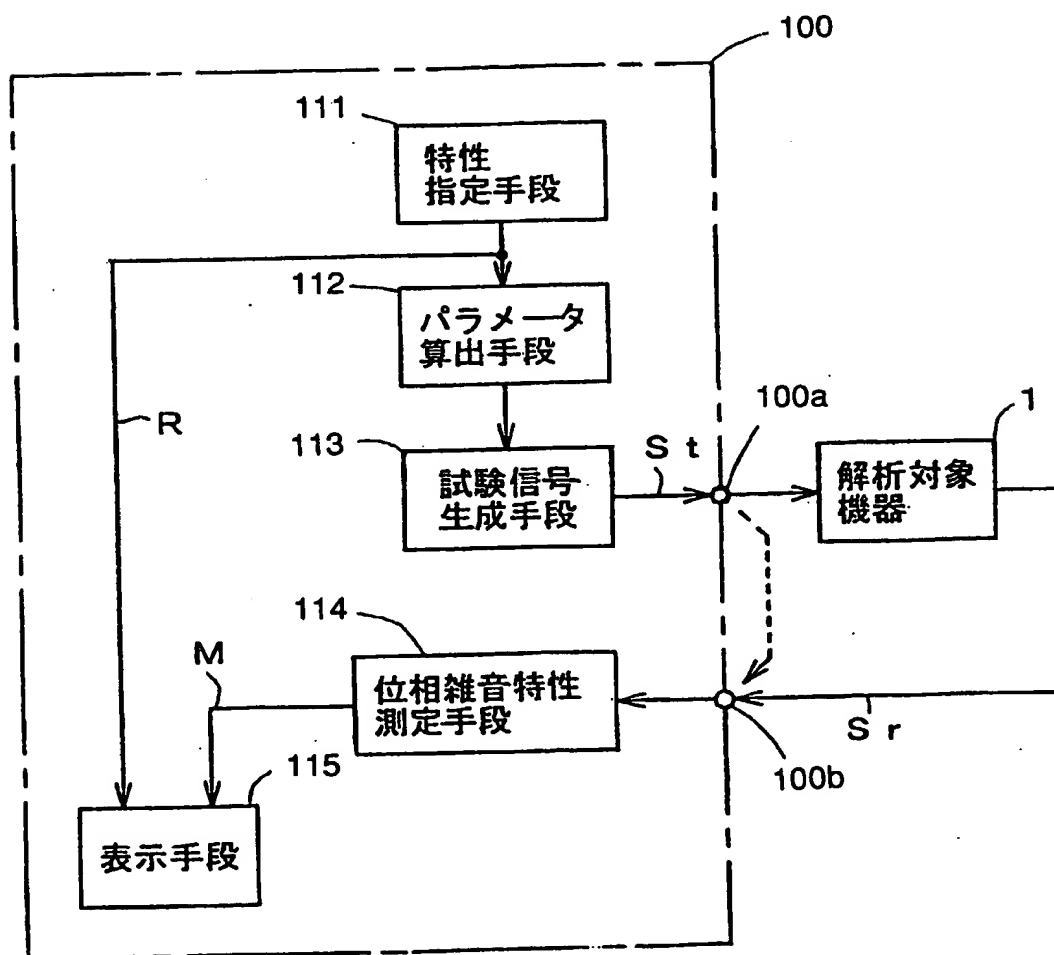


FIG. 52 (従来技術)

**THIS PAGE BLANK (USPTO)**

34/35

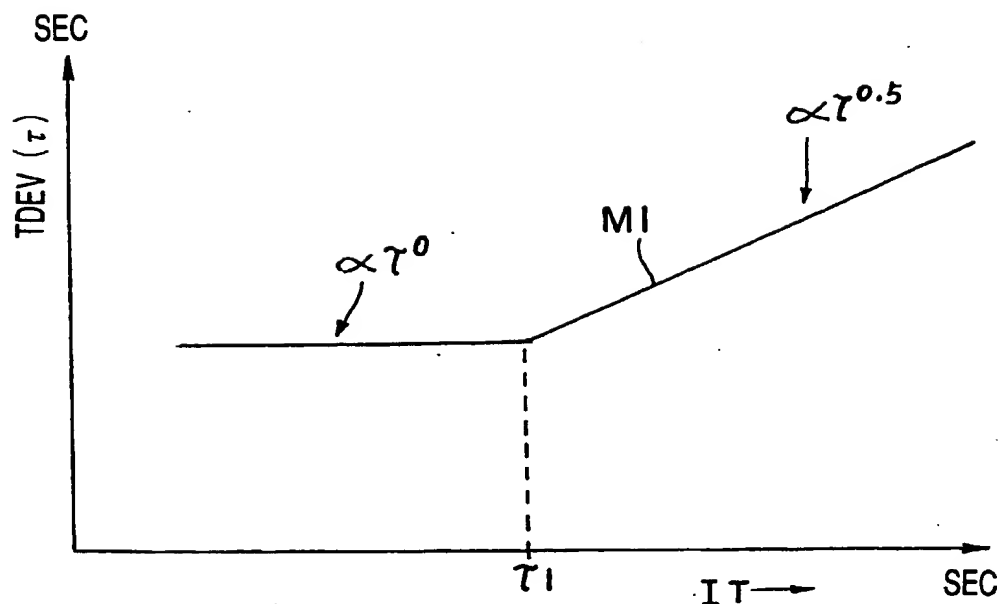


FIG. 51A (従来技術)

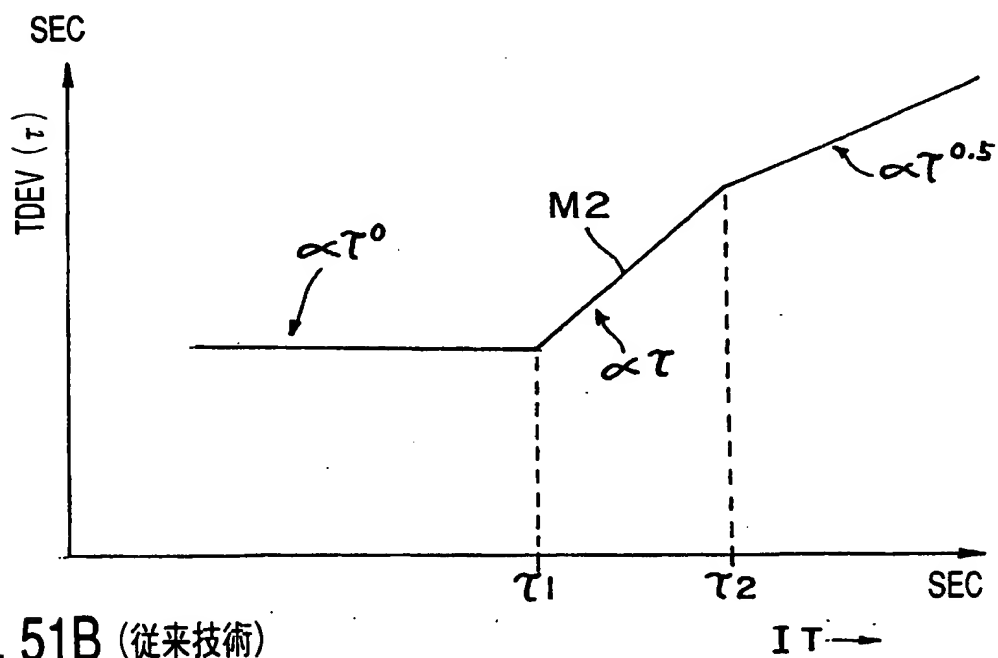


FIG. 51B (従来技術)

**THIS PAGE BLANK (USPTO)**



35/35

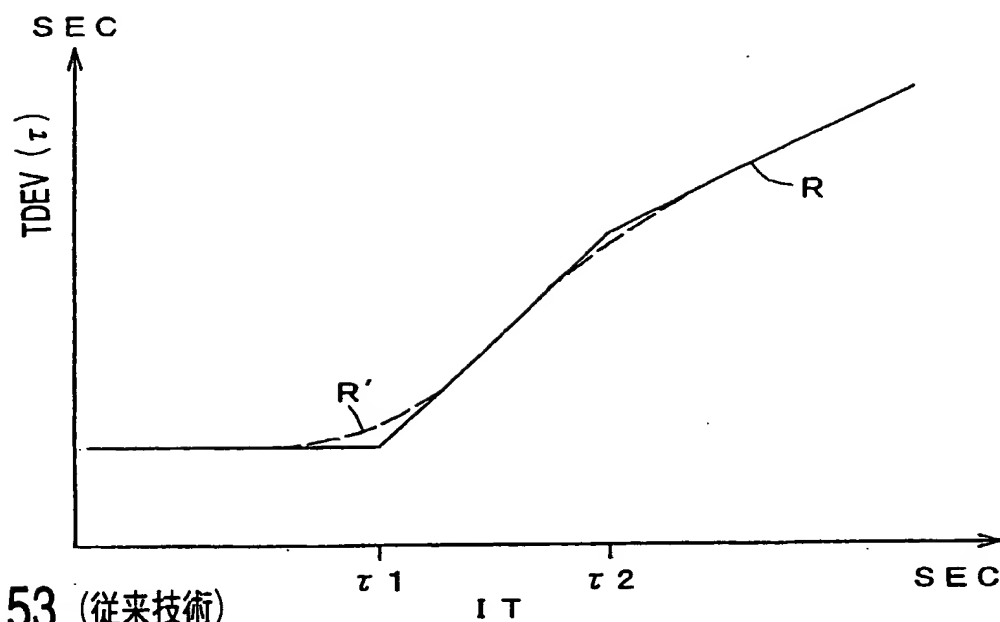


FIG. 53 (従来技術)

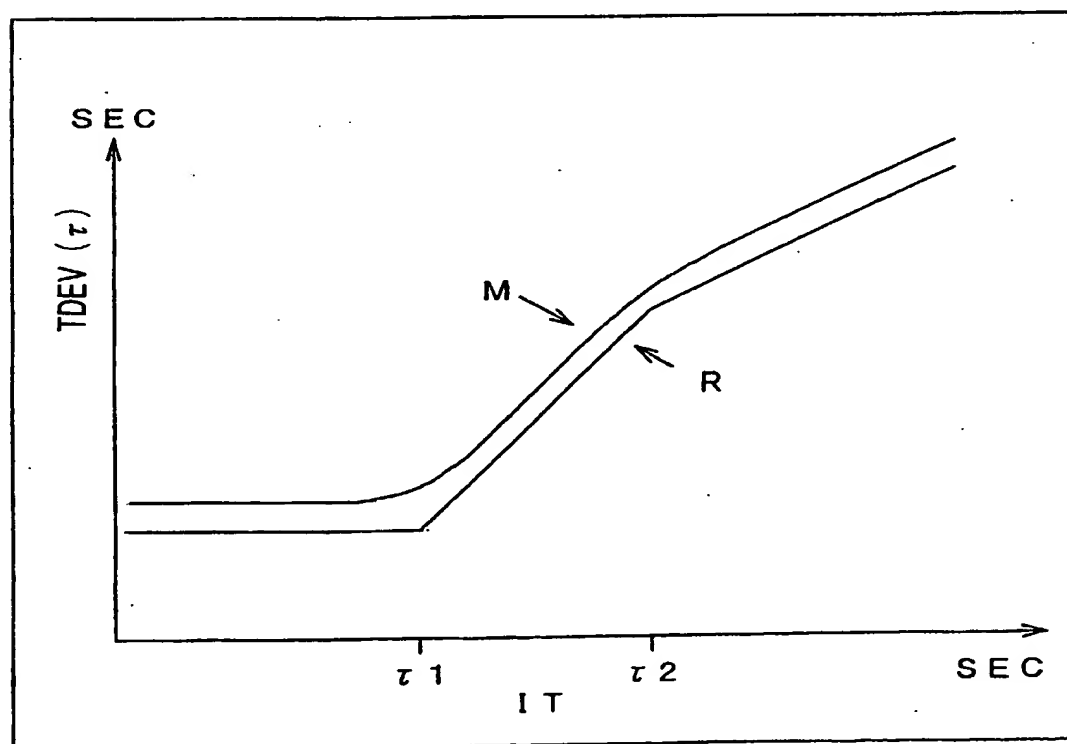


FIG. 54 (従来技術)

**THIS PAGE BLANK (11/27/71)**

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/09139

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H03K3/84, H04L25/02, G01R31/00, G01R25/00, G01R29/26

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H03K3/84, H04L25/02, G01R31/00, G01R25/00, G01R29/26

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho (Y1, Y2) 1926-2000 Toroku Jitsuyo Shinan Koho (U) 1994-2000

Kokai Jitsuyo Shinan Koho (U) 1971-2000 Jitsuyo Shinan Toroku Koho (Y2) 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 62-233953, A (Advantest Corporation), 14 October, 1987 (14.10.87), Full text; all drawings (Family: none)	1-21
A	JP, 8-220163, A (ANRITSU CORPORATION), 30 August, 1996 (30.08.96), Full text; all drawings (Family: none)	1-21

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
05 April, 2001 (05.04.01)

Date of mailing of the international search report  
17 April, 2001 (17.04.01)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**THIS PAGE BLANK (USDTG)**

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H03K3/84, H04L25/02, G01R31/00, G01R25/00, G01R29/26

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H03K3/84, H04L25/02, G01R31/00, G01R25/00, G01R29/26

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 (Y 1; Y 2) 1926-2000

日本国公開実用新案公報 (U) 1971-2000

日本登録実用新案公報 (U) 1994-2000

日本国実用新案登録公報 (Y 2) 1996-2000

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 62-233953, A (株式会社アドバンテスト), 14. 10月. 1987 (14. 10. 87), 全文, 全図 (ファミリーなし)	1-21
A	JP, 8-220163, A (アンリツ株式会社), 30. 8月. 1996 (30. 08. 96) 全文, 全図 (ファミリーなし)	1-21

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

05. 04. 01

国際調査報告の発送日

17.04.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

江嶋 清仁

5X

7928

電話番号 03-3581-1101 内線 3556

**THIS PAGE BLANK (USPTO)**

振幅係数を乗算する乗算器と、

前記乗算器に任意の振幅係数を設定する振幅設定手段と、

前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザと、

前記フィルタ部から前記特性係数に対応した周波数特性の雑音信号が出力されている状態における前記デジタルフィルタの各記憶素子の記憶内容と同等の雑音信号列を、少なくとも装置の動作初期時に前記デジタルフィルタの各記憶素子に初期設定する初期設定手段と、

を備えるデジタル回線試験装置。

19. デジタルの白色性の雑音信号を発生する白色雑音発生手段と、

デジタル信号を内部の複数の記憶素子に順次シフトしながら記憶し、該複数の記憶素子の記憶内容についての積和演算を行うデジタルフィルタを有し、前記白色雑音発生手段から出力された雑音信号を予め設定された特性係数に対応する周波数特性の雑音信号に変換して出力するフィルタ部と、

前記フィルタ部に対して任意の特性係数を設定する特性係数設定手段と、

前記フィルタ部から出力される雑音信号に予め設定された振幅係数を乗算する乗算器と、

前記乗算器に任意の振幅係数を設定する振幅設定手段と、

前記乗算器から出力された雑音信号によって位相変調されたクロック信号を出力する周波数シンセサイザと、

前記特性係数設定手段から設定された特性係数および振幅

設定手段から設定された振幅係数に基づいて、前記乗算器から出力される雑音信号または前記周波数シンセサイザから出力されるクロック信号の特性を求める特性算出手段と、

前記特性算出手段によって求められた特性を表示する特性表示手段と、

を備えるディジタル回線試験装置。

20. 任意の位相雑音特性を指定する特性指定手段と、

前記特性指定手段によって指定された位相雑音特性の試験信号を生成するために必要なパラメータを算出するパラメータ算出手段と、

前記パラメータ算出手段によって算出されたパラメータに基づいて位相雑音特性を有する試験信号を生成する試験信号生成手段と、

前記試験信号生成手段が生成した試験信号の位相雑音特性を測定する第1の位相雑音特性測定手段と、

前記試験信号生成手段が生成した試験信号を外部の解析対象に出力するための出力端子と、

前記試験信号を受けた解析対象から出力される信号を入力させるための入力端子と、

前記試験信号に対する前記第1の位相雑音特性測定手段の位相雑音特性の測定と並行して、前記入力端子から入力される信号の位相雑音特性を測定する第2の位相雑音特性測定手段と、

前記特性指定手段によって指定された位相雑音特性と前記第1の位相雑音特性測定手段によって測定された位相雑音特



## 1 2 1

性との差を近似誤差として求める近似誤差算出手段と、

前記第 2 の位相雑音特性測定手段によって測定された位相雑音特性を前記近似誤差算出手段によって算出された近似誤差で補正して、前記解析対象が前記特性指定手段によって指定された位相雑音特性の試験信号を受けたと仮定したときに出力する信号の仮想位相雑音特性を算出する仮想特性算出手段とを備え、

前記特性指定手段によって指定された位相雑音特性と前記仮想特性算出手段によって算出された仮想位相雑音特性との差を把握できるようにしていることを特徴とする位相雑音伝達特性解析装置。

2 1. 任意の位相雑音特性を指定する特性指定手段と、

前記特性指定手段によって指定された位相雑音特性の試験信号を生成するために必要なパラメータを算出するパラメータ算出手段と、

前記パラメータ算出手段によって算出されたパラメータに基づいて位相雑音特性を有する試験信号を生成する試験信号生成手段と、

前記パラメータ算出手段によって算出されたパラメータに基づいて、前記試験信号生成手段が生成する試験信号の位相雑音特性を算出する位相雑音特性算出手段と、

前記試験信号生成が生成した試験信号を外部の解析対象に出力するための出力端子と、

前記試験信号を受けた解析対象から出力される信号を入力させるための入力端子と、

前記入力端子から入力される信号の位相雑音特性を測定する位相雑音特性測定手段と、

前記特性指定手段によって指定された位相雑音特性と前記位相雑音特性算出手段によって算出された位相雑音特性との差を近似誤差として求める近似誤差算出手段と、

前記位相雑音特性測定手段によって測定された位相雑音特性を前記近似誤差算出手段によって算出された近似誤差で補正して、前記解析対象が前記特性指定手段によって指定された位相雑音特性の試験信号を受けたと仮定したときに出力する信号の仮想位相雑音特性を算出する仮想特性算出手段とを備え、

前記特性指定手段によって指定された位相雑音特性と前記仮想特性算出手段によって算出された仮想位相雑音特性との差を把握できるようにしていることを特徴とする位相雑音伝達特性解析装置。